

明細書

二重ゲート電界効果トランジスタ

技術分野

本発明は、キャリアの走行するチャネルを当該キャリア走行方向とは直交する方向からそれぞれゲート絶縁膜を介し、互いに電気的に接続しているか互いに電気的に独立な（互いに絶縁分離された）一対のゲートにより挟んで成る、いわゆる二重ゲート電界効果トランジスタの改良に関する。

背景技術

周知のように、MOS電界効果トランジスタの高集積化、高速化のため、素子としての個々のトランジスタの微小化を進めていくと、ソース・ドレインの接近に伴ってドレン電界がソースにまで影響を及ぼすようになり、一般に短チャネル効果と総称される現象が現れ、デバイス特性を劣化させる。例えば閾値電圧の低下やゲート電圧に対するドレン電流の立ち上がりの鈍り（サブスレッショルド係数の増大）を招いたり、ソース・ドレン間のリーク電流を増大させたりする。

これに対し、薄いチャネル領域をキャリア走行方向とは直交する方向からそれぞれゲート絶縁膜を介し、互いに電気的に接続しているか電気的に独立な一対のゲートにより挟む構造にした、いわゆる“二重ゲート構造”にすれば、ドレン電界を有効にシールドすることができ、短チャネル効果を抑制できる。最近ではこうした二重ゲート電界効果トランジスタが最も微細化に適したトランジスタ構造と考えられており、種々の提案がなされている。

第27図(A)～(C)にはそうした従来例の一つが示されている。基板1上に形成された埋め込み絶縁膜2上には基板主面に対し起ち上がった薄い縦型チャネル5が設けられ、第27図(A)のX-X方向であるキャリア走行方向と直交するY-Y方向に見て、当該縦型チャネル5の両側には、それぞれゲート絶縁膜6-1, 6-2を介し、ゲート電極3-1, 3-2が臨んでいる。第27図(A)におけるX-X線に沿う断面端面図が第27図(C)であり、これと直交するY-Y線に沿う断面端面図が第27図(B)である。

図示の場合は、一対のゲート絶縁膜6-1, 6-2の外側にそれぞれ一つずつが位置する計一対のゲート電極3-1, 3-2が、結局、縦型チャネル5の上部に設けられた絶縁膜4を渡し越す部分3cで互いに電気的に接続されているので、部材としては単一のゲート電極と見ることができる。

一方、キャリア走行方向であるX-X方向には、縦型チャネル5を挟んでソース、ドレイン7-1, 7-2が位置し、それぞれ縦型チャネル5に接続している。縦型チャネル5の当該“縦型”という形容詞は、当該チャネル5が基板1に対して起立した関係になっているために付けられているのであるが、以下の説明では特に必要のない限り、この形容詞は省略し、単にチャネルと呼ぶこともある。

こうした二重ゲート電界効果トランジスタ構造では、チャネル5の両側に設けられているゲート6-1, 6-2が当該チャネル5を電気的にシールドすることになるために、ドレイン電界がソース7-1とチャネル領域界面の電位分布に与える影響を抑えることができ、短チャネル化に伴う閾値電圧の急激な低下とサブスレッショルド係数の急激な増加を防止することができる。しかし欠点もあって、このように薄いチャネルを持つことで微細化された場合にその特徴を発揮する二重ゲート電界効果トランジスタにおいては、CMOS回路で必須の作業となる閾値電圧を制御するのに、通常用いられるチャネル領域の不純物制御による方法は有効には使えなくなってしまう。こうした極薄いチャネル層を

持つ微細化された二重ゲート電界効果トランジスタの場合、不純物のばらつきが問題となつて、それにより閾値電圧がばらついてしまうからである。

そこで、この点を解決するために、従来からも、例えば文献1：特開2002-270850号公報に認められる、第28図(A)～(C)に示されるような構造の提案もあった。なお、予め述べておくと、本書の全文および添付図面の全図を通じ、同一の符号にて示される構成要素は同一ないし対応する構成要素を示し、他の個所ないし他の図面に即しての説明を適用できる場合には、特に断らない限り、各図ごとに各構成要素に関して同様の説明を繰り返すのは避ける場合もある。

この第28図に示されている従来例構造も、基本的には第27図に示した従来例構造と同様の構造とはなっているが、第28図(A), (B)に示すように、一対のゲート絶縁膜6-1, 6-2を介してそれがチャネル5に臨み、周囲は埋め込み絶縁膜8-1, 8-2で取り囲まれている計一対のゲート電極3-1, 3-2が、互いに電気的に独立している点（互いに接続されではおらず、絶縁分離状態にある点）で異なっている。そのために、例えば一方のゲート電極に固定バイアスを印加して置き、他方のゲート電極に独立に印加するバイアス電圧によってトランジスタを駆動するようなことができるし、この際に固定バイアスの値を変えるとトランジスタの閾値電圧が変わるので、閾値電圧の制御も可能となるのである。

また、公知文献2：“Analytical Models for n+-p+ Double-Gate SOI MOSFETs”，K. Suzuki et al, IEEE ED, Vol. 42, No. 11, 1995, pp. 1940-1948 にて開示された、第29図に示すような従来例構造もある。これは、ソース、ドレイン7-1, 7-2間のチャネル5を縦型ではなくて“横型”とし、これを一対のゲート絶縁膜6-1, 6-2を介しながら基板正面と平行な方向に伸びる一対の互いに独立な上下のゲート電極3-1, 3-2で挟むようにした、いわゆるプレーナ型構造における改良となつていて、上部のゲート電極3-1

をn⁺(またはp⁺)ポリシリコン、下部のゲート電極3-2をp⁺(またはn⁺)ポリシリコンで構成し、つまり上下のゲート電極3-1、3-2に互いにフェルミ準位の異なるポリシリコンを用いることで、閾値電圧を制御可能とするべく図っている。

しかるに、第27図に示した従来構造では、既に述べたように閾値電圧の制御ができない。対して、第28図に示した従来構造では、一応、トランジスタの閾値電圧は制御できるものの、特性的には不十分な結果しか得られず、特にサブスレッショルド係数が急増する欠点がある。第29図に示した横型チャネルを有する従来構造では、閾値電圧を制御可能にしたとは言っても、実際には用いるn⁺またはp⁺ポリシリコンのフェルミ準位は固定であるから、自由に制御できるということではなく、また、構造的に見ても、自己整合二重ゲートの作製が極めて困難なプレーナ型であると言う欠点も持っている。

本発明はこうした従来例の持つ欠点を解消ないし緩和し、ある程度以上に自由な閾値電圧の設定が可能な原理構造を持つ二重ゲート電界効果トランジスタの提供を目的としてなされたものである。

発明の開示

本発明では上記目的を達成するため、基板に対し起立した関係でソースとドレインの間に設けられた縦型のチャネルと、このチャネル内のキャリア走行方向とは直交する方向から当該チャネルを一対で挟むゲート絶縁膜と、これら一対のゲート絶縁膜の各々を介してそれがチャネルに臨む計一対のゲート電極とを有する二重ゲート電界効果トランジスタにおいて、当該一対のゲート絶縁膜の厚みを互いに異ならせることを提案する。これにより、サブスレッショルド係数の増加を招かない範囲で二重ゲート電界効果トランジスタに所望の閾値電圧を得ることができる。

本発明ではまた、上記の構成において、一対のゲート絶縁膜の厚みを互いに異なら

せるのに代えて、一対のゲート絶縁膜の誘電率を互いに異ならせるか、あるいは、一対のゲート電極が互いに異なる仕事関数を持つようによることも提案する。これもまた同様に、従来例に認められたような欠点を伴うことなく、所望の閾値電圧を得るための手段となる。

さらに、一対のゲート絶縁膜の厚みを互いに異ならせることと、一対のゲート絶縁膜の誘電率を互いに異ならせること、及び一対のゲート電極が互いに異なる仕事関数を持つようにすることという三つの手段は、その内の任意の二つまたは全てを組み合わせることができる。

上記のような本発明による二重ゲート電界効果トランジスタにおいては、上記の一対のゲート電極は互いに電気的に接続されていても良いが、そうではなく、互いに独立にする（互いに電気的に絶縁分離する）とより望ましい。こうすると、例えば、厚みの薄い方、ないしは誘電率の高い方のゲート絶縁膜に臨むゲート電極を駆動電極として用いる一方、他方のゲート絶縁膜に臨むゲート電極に適当な制御電位を与えるようにすることで、サブスレッシュホールド係数の急増を防止しながら、例え動作時においても、要すればダイナミックに閾値電圧を電気的に制御することもできるようになる。

さらに、一対のゲート電極の仕事関数を互いに異ならせる場合、単に閾値電圧を制御可能になるだけではなく、仕事関数の低い方のゲート電極に固定バイアスを印加するような使い方では、その印加電位の如何によってドレイン電流を激減させ、ドレイン電流を強烈にシャットオフする等の使い方ができるし、逆に仕事関数の高い方のゲート電極に固定バイアスを印加しての使用では、やはり印加電位の大きさに応じ、電流対電圧特性を平行にシフトできるので、閾値電圧の広範囲な制御が可能ともなる。

本発明はまた、別な構造的改良としても、チャネルはキャリア走行方向と直交する方向の断面で見て三角形状をなし、一対のゲート絶縁膜の各々は、それぞれこの三角形

状の対向する側面である斜面に接している構造も提案する。この構造は、短チャネル効果をより顕著に制御するために有効である。チャネルのみが微細化されることで、ソース・ドレイン寄生抵抗を小さくできる利点も生まれる。

なお、本発明による二重ゲート電界効果トランジスタを複数用いることで、任意の半導体集積回路に展開できることは明らかである。

図面の簡単な説明

第1図(A) は、本発明の好ましい第一の実施形態としての二重ゲート電界効果トランジスタの平面的な構成図である。

第1図(B) は、第1図(A) のY-Y線に沿う断面端面図である。

第1図(C) は、第1図(A) 中のX-X線に沿う断面端面図である。

第2図(A) は、第1図示の本発明二重ゲート電界効果トランジスタを作製する工程例の最初の段階における、第1図(A) のY-Y線と同じ方向に沿う断面端面図である。

第2図(B) は第2図(A) と直交する方向から見た断面端面図である。

第3図(A) は、第2図示工程に引き続く工程における第2図(A) と同一方向に沿った断面端面図である。

第3図(B) は第3図(A) と直交する方向から見た断面端面図である。

第4図(A) は、第3図示工程に引き続く工程における第2図(A) と同一方向に沿った断面端面図である。

第4図(B) は第4図(A) と直交する方向から見た断面端面図である。

第5図(A) は、第4図示工程に引き続く工程における第2図(A) と同一方向に沿った断面端面図である。

第5図(B) は第5図(A) と直交する方向から見た断面端面図である。

第6図(A)は、第5図示工程に引き続く工程における第2図(A)と同一方向に沿った断面端面図である。

第6図(B)は第6図(A)と直交する方向から見た断面端面図である。

第7図(A)は、第6図示工程に引き続く工程における第2図(A)と同一方向に沿った断面端面図である。

第7図(B)は第7図(A)と直交する方向から見た断面端面図である。

第8図(A)は、第7図示工程に引き続く工程における第2図(A)と同一方向に沿った断面端面図である。

第8図(B)は第8図(A)と直交する方向から見た断面端面図である。

第9図(A)は、第8図示工程に引き続く工程における第2図(A)と同一方向に沿った断面端面図である。

第9図(B)は第9図(A)と直交する方向から見た断面端面図である。

第10図(A)は、第9図示工程に引き続く工程における第2図(A)と同一方向に沿った断面端面図である。

第10図(B)は第10図(A)と直交する方向から見た断面端面図である。

第11図(A)は、本発明の好ましい第二の実施形態としての二重ゲート電界効果トランジスタの平面的な構成図である。

第11図(B)は、第11図(A)のY-Y線に沿う断面端面図である。

第11図(C)は、第11図(A)中のX-X線に沿う断面端面図である。

第12図(A)は、第11図示の本発明二重ゲート電界効果トランジスタを作製する工程例の最初の段階における、第11図(A)のY-Y線と同じ方向に沿う断面端面図である。

第12図(B)は第12図(A)と直交する方向から見た断面端面図である。

第13図(A)は、第12図示工程に引き続く工程における第12図(A)と同一方向に沿っ

た断面端面図である。

第13図(B) は第13図(A) と直交する方向から見た断面端面図である。

第14図(A) は、第13図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第14図(B) は第14図(A) と直交する方向から見た断面端面図である。

第15図(A) は、第14図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第15図(B) は第15図(A) と直交する方向から見た断面端面図である。

第16図(A) は、第15図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第16図(B) は第16図(A) と直交する方向から見た断面端面図である。

第17図(A) は、第17図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第17図(B) は第17図(A) と直交する方向から見た断面端面図である。

第18図(A) は、第17図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第18図(B) は第18図(A) と直交する方向から見た断面端面図である。

第19図(A) は、第19図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第19図(B) は第19図(A) と直交する方向から見た断面端面図である。

第20図(A) は、第19図示工程に引き続く工程における第12図(A) と同一方向に沿った断面端面図である。

第20図(B) は第20図(A) と直交する方向から見た断面端面図である。

第21図(A) は、本発明の好ましい第三の実施形態としての二重ゲート電界効果トランジスタの、第12図(A) と同一方向に沿った断面端面図である。

第21図(B) は、第21図(A) と直交する方向から見た断面端面図である。

第22図(A) は、本発明の好ましい第四の実施形態としての二重ゲート電界効果トランジスタの、第12図(A) と同一方向に沿った断面端面図である。

第22図(B) は、第22図(A) と直交する方向から見た断面端面図である。

第23図は、第一の本発明実施形態において、一対のゲート絶縁膜の一方の厚み t_1 を2nmに固定とし、他方の厚み t_2 を2nmから20nmまで、様々に変えた場合におけるゲート電圧(横軸: V_{gc})に対するサブスレッショルド係数(右縦軸:mV/dec.)と閾値電圧(左縦軸: V)の依存性を示す図である。

第24図は、上記と同じ条件で、サブスレッショルド係数(左縦軸:mV/dec.)と閾値電圧(横軸: V)の関係にのみ着目して取った特性図である。

第25図(A) は、本発明の好ましい第五の実施形態としての二重ゲート電界効果トランジスタの平面的な構成図である。

第25図(B) は、第25図(A) のY-Y線に沿う断面端面図である。

第25図(C) は、第25図(A) 中のX-X線に沿う断面端面図である。

第26図(A) は、本発明の好ましい第六の実施形態としての二重ゲート電界効果トランジスタの平面的な構成図である。

第26図(B) は、第26図(A) のY-Y線に沿う断面端面図である。

第26図(C) は、第26図(A) 中のX-X線に沿う断面端面図である。

第27図(A) は、従来提案されていた二重ゲート電界効果トランジスタの一構造例における平面的な構成図である。

第27図(B) は、第27図(A) のY-Y線に沿う断面端面図である。

第27図(C)は、第27図(A)中のX-X線に沿う断面端面図である。

第28図(A)は、従来提案されていた二重ゲート電界効果トランジスタの他の構造例における平面的な構成図である。

第28図(B)は、第28図(A)のY-Y線に沿う断面端面図である。

第28図(C)は、第28図(A)中のX-X線に沿う断面端面図である。

第29図は、従来提案されていた二重ゲート電界効果トランジスタのさらに他の構造例における断面端面図である。

発明を実施するための最良の形態

本発明を添付の図面に従ってより詳細に説明する。

第1図(A)～(C)には本発明の第一の実施形態に従う二重ゲート電界効果トランジスタの概略構成が示されている。第1図(B)は第1図(A)のY-Y線に沿う断面端面図、第1図(C)は第1図(A)中のX-X線に沿う断面端面図である。半導体基板1に対しての、チャネル5、ソース7-1、ドレイン7-2、一対のゲート絶縁膜6-1、6-2、そして一対のゲート電極3-1、3-2のそれぞれ配置関係は、既に第28図に即して述べた従来構造と同様であつて良い。すなわち、基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャネル5を、当該縦型チャネル内のキャリア走行方向とは直交する方向から一対のゲート絶縁膜6-1、6-2で挟んでおり、これら一対のゲート絶縁膜6-1、6-2の上にはそれぞれゲート電極3-1、3-2が設けられていて、これらゲート電極3-1、3-2もまた、対をなしている。ただし、限定的ではないが、図示の場合には、チャネル5を始めとする各構成要素は埋め込み絶縁膜2上に形成されている。また、チャネル5の上部は絶縁膜4にて覆われている。

本発明にて特徴的なことは、第28図に示した従来構造とは異なり、一対設けられて

いるゲート絶縁膜6-1, 6-2の厚みt₁, t₂が互いに異なっていることである。図示の場合には、図中で左側のゲート絶縁膜6-1の厚みt₁に対し、他方のゲート絶縁膜6-2の厚みt₂の方が厚くなっている場合 (t₁<t₂) が例示されている。

こうした構造では、第27図、第28図に即して述べた従来例におけるような欠点が解消ないし緩和され、製造時におけるゲート絶縁膜6-1, 6-2の厚みt₁, t₂の調整により、サブスレッショルド係数の増加を招かない範囲で所望の閾値電圧を得ることができる。さらに、図示の通り、一対設けられているゲート電極3-1, 3-2が互いに電気的に独立していれば、例えば、薄い方のゲート絶縁膜6-1に臨むゲート電極3-1を駆動電極として用い、厚い方のゲート絶縁膜6-2に臨むゲート電極に適当な制御電位を与えるようにすることで、電界効果トランジスタのサブスレッショルド係数の急増を防止しながら、例え動作時においても、要すればダイナミックに閾値電圧を電気的に制御できる。

また、本発明の特定の態様に従い、一対のゲート絶縁膜6-1, 6-2のそれぞれの誘電率 ϵ_1 , ϵ_2 を互いに異ならせても良い(すなわち、 $\epsilon_1 \neq \epsilon_2$ とする)。こうすると、製造時におけるゲート絶縁膜6-1, 6-2の当該互いの誘電率 ϵ_1 , ϵ_2 の調整により、絶縁膜厚の調整に加えてサブスレッショルド係数の増加を招かない範囲で所望の閾値電圧を得る際に微調整が図れる。それぞれが独立の誘電率 ϵ_1 , ϵ_2 を持つゲート絶縁膜6-1, 6-2の材質は、既存材料から適当なものを相当程度の自由度を持って選ぶことができるし、後述の工程例におけるように、積層構造として形成することで、その実効的な誘電率を所望の値に決定することもできる。こうしたことは以下に述べる本発明の各実施形態においても同様に言えることである。

本発明のまた別な特定の態様に従い、上記のような絶縁膜の厚み調整に加えて、あるいはまた絶縁膜の厚み調整と上記の誘電率調整に加えて、一方のゲート電極3-1の仕事関数Φ₁と他方のゲート電極3-2の仕事関数Φ₂とを互いに異ならせても良い(すなわち

$\Phi_1 \neq \Phi_2$ とする)。こうした場合、製造時におけるこれら一対のゲート電極3-1, 3-2に与える仕事関数 Φ_1 , Φ_2 の調整により、やはりサブスレッショルド係数の増加を招かぬ範囲で素子としての所望の閾値電圧を得ることができる。このような仕事関数関係にするゲート電極3-1, 3-2の材質もまた、既存材料から適当なものを相当程度の自由度を持って選ぶことができるし、後述の工程例におけるように、適當なるイオン注入技術を用いて構成することもできる。これらの点も、以下に述べる本発明の各実施形態において同様に言えることである。

以下、第2図から第10図までに即し、第1図に示す本発明二重ゲート電界効果トランジスタを作製する工程につき説明する。なお、他の実施形態も含めて、ここでは縦型チャネル5はn型チャネルであることを想定しておくが、p型チャネルであっても以下に挙げる各工程例は同様に適用することができる。さらに、第2図から第10図の各図において、各(A)図は第1図中のY-Y線に沿う断面端面図に相当し、各(B)図はX-X線に沿う断面端面図に相当する。したがって、当該各(A)図と各(B)図とは、互いに直交関係にある方向から見た断面端面図となる。

まず第2図(A), (B)に示すように、シリコン基板1上に埋め込み酸化膜2とシリコン結晶層5aを持つSOI(Silicon-On-Insulator)ウェハを用意し、その表面に熱酸化でシリコン酸化膜を形成した後に、第3図(A), (B)に示すように、そのシリコン酸化膜を例えば電子ビーム露光と反応性イオンエッティング(RIE: Reactive Ion Etching)で所望のパターンにパターニングしてドーピングマスク9を作製し、ソース領域7-1とドレイン領域7-2をドーピングにより形成する。

第4図(A), (B)に示すように、ドーピングマスクを弗酸で除去してから、例えば酸化膜と窒化膜を連続的に堆積して絶縁膜4を形成し、電子ビーム露光でパターニングを行い、RIEで絶縁膜4からなるハードマスクを形成してから、結晶異方性ウェットエッチ

ングあるいはRIEでチャネル5の右側に基板1に対して垂直なシリコン壁を作製する。このとき同時にソース領域7-1とドレイン領域7-2も片面側が整形される。この状態で、第5図(A), (B)に示すように、最終的に相対的に厚いゲート絶縁膜となるゲート絶縁膜6-2を熱酸化あるいは化学気相堆積法(CVD: Chemical Vapor Deposition)で形成する。このプロセスでは、実際にはソース、ドレイン7-1, 7-2の各側面にもシリコン酸化膜が形成されるが、それは図示していない。

なお、本発明の特定の態様に従い、一対のゲート絶縁膜の厚みのみならず、既に第1図(B)に示したように、互いの誘電率 ϵ_1 , ϵ_2 をも変える場合には、この第5図に示す工程で、同図(A)中に仮想線の矢印fで示すように、公知既存の斜め蒸着技術とかスパッタ法等を用い、シリコン熱酸化膜とは異なる適当な絶縁材料による絶縁薄膜を重ねて形成すれば良い。重ね形成する材料例としては、例えば、HfSiON, HfAlSiON, La₂O₃等の絶縁材料を挙げることができる。ただし、このゲート絶縁膜6-2の実質的な誘電率変更工程は、ここでは行わず、後に触れる第7図に即して説明する工程において行っても良い。もちろん、熱酸化を行わず、始めから所望の厚みの特定絶縁材料を付着させても良い。

次に、第6図(A), (B)に示すように、例えば電子ビーム露光でレジストパターン10を形成する。ここでポイントとなるのは、レジストパターン10が既に形成した厚いゲート酸化膜6-2を覆い、かつ左側にチャネル厚(一対のゲート電極方向の厚み)分、広がっていることであり、そのため、このプロセスにおいてはナノスケールでの精密な位置合わせが必要となるが、のこと自体は、既存の技術をして十分に対処できる問題である。こうしたレジストパターン10を形成した後には、第7図(A), (B)に示すように、絶縁膜4からなるハードマスクを形成し、結晶異方性ウェットエッチング或いはRIEでシリコン層をエッチングすることで、チャネル5の左側に垂直なシリコン壁を形成し、短時間の

熱酸化で薄いゲート酸化膜を形成する。この工程において、先に第5図(A)に即して述べたように、どちらか一方、例えば厚い方のゲート絶縁膜6-2に対し、仮想線の矢印fで示すような、既述した適当な材料を付着させる誘電率変更工程を付与しても良い。薄い方のゲート絶縁膜6-1に対する誘電率変更工程が必要な場合には、同様にこの工程にてチャネルを挟んで反対方向斜めからの適当なる誘電材料照射を行えば良い。

このようにして、図示の場合にはチャネル5の左側に相対的に薄い厚みt1のゲート酸化膜6-1が、右側には相対的に厚い厚みt2のゲート酸化膜6-2が形成されたなら、第8図(A), (B)に示すように、ウェハ全面にゲート電極となる電極材料3aを堆積する。適当な電極材料としては、ドープドポリシリコンや、薄い高融点メタル膜とドープドポリシリコンを連続堆積して形成した複合膜等がある。

しかるにここで、本発明の特定の態様に従い、一対のゲート電極3-1, 3-2の仕事関数を互いに異ならせる場合には、次のような工程を付加できる。

例えばゲート電極材料3aとしてポリシリコンを選び、第8図(A)中、まず仮想線の矢印Wpで示すように、当該ポリシリコン3aの堆積後、傾斜イオン注入法により、例えば燐を注入すると、薄いゲート絶縁膜6-1に接するゲート電極となる部分3-1と絶縁膜4の上方を渡し越す部分には当該燐が注入されるが、厚いゲート絶縁膜6-2に接する部分の近傍のゲート電極部分3-2は当該傾斜イオン注入の“影”となって燐が注入されずに残る。続いて今度は、仮想線の矢印Wbで示すように、チャネル5を挟んで反対方向からの傾斜イオン注入法により例えば硼素を注入すると、厚いゲート絶縁膜6-2に接するゲート電極となる部分3-2と絶縁膜4の上方を渡し越す部分には当該硼素が注入されるが、薄いゲート絶縁膜6-1に接する部分3-1には注入されず、最初の段階で燐が注入されたままに残る。もちろん、この注入の順番は逆でも良いが、いずれにしてもこのような工程で、互いに異なる仕事関数を持つ一対のゲート電極3-1, 3-2を予め形成できる。なお、

ここでの実施形態では、薄いゲート絶縁膜6-1に接つしていて燐を添加したゲート電極3-1の仕事関数の方が、硼素を添加した他方のゲート電極3-2のそれよりも低くなる。

一対のゲート電極3-1, 3-2に仕事関数差を設ける場合も設けない場合も、第8図に示す工程の後には最終的にゲート電極の平面的な領域を確定するため、第9図(A), (B)に示すように、例えば減圧CVDでシリケードガラス11を堆積し、電子ビーム露光でゲートパタンを形成し、RIEでシリケードガラス11からなるハードマスクを形成してから、そのハードマスクを利用してゲート材料3aをRIEで垂直に埋め込み酸化膜2で止まるようエッチングする。

このような構造体を完成させたなら、第10図(A), (B)に示すように、n型チャネルの場合には燐をドープしたシリケードガラス(PSG)、p型チャネルの場合にはホウ素をドープしたシリケードガラス(BSG)と、ドーピングしてないシリケードガラス(NSG)とを連続的に堆積して絶縁膜8を形成する等し、続いて、瞬時加熱によるアニーリング(RTA)を行い、チャネル両端のソース、ドレインに及ぶ延長部のドーピングをする。その後、化学機械研磨法(CMP)により、絶縁膜4をストップとして研磨を行い、ゲート電極材料3aを左側ゲート電極3-1と右側ゲート電極3-2に分離すれば、第1図に示した本発明の特定態様の二重ゲート電界効果トランジスタが得られる。

もちろん、図示はしていないが、絶縁膜をウエハ全面に堆積してからコンタクトホールを形成し、Al電極形成、シンタリングを行うことで、実際に製品として利用可能な素子構造が得られるが、これはこの種の分野において当たり前の引き出し配線形成、パッケージング処理に従って良いことなので、これ以上の詳しい説明は省略する。また、本発明が開示された以上、本発明のこうした二重ゲート電界効果トランジスタを複数用いて、任意機能の半導体集積回路を構成することも、当業者には極めて容易である。この点は後述する各実施形態に関しても同様のことが言える。

なお、一対のゲート電極3-1, 3-2の仕事関数 Φ 1, Φ 2を互いに異ならせるために、既述したようなイオン注入によるのではなく、そもそも別途な金属材料を用いる場合には、第8～9図に示した工程では第一の電極材料で片方のゲート電極のみが作製されるよう以し、もう一回、同様な工程を追加する等して、異なる材質、異なる仕事関数の第二の電極材料により、他方のゲート電極を作製すれば良い。例えば組み合わせに適した材料例としては、モリブデンとアルミニウム等を上げることができる。

第11図(A)～(C)には、本発明の異なる態様としての二重ゲート電界効果トランジスタが示されている。第1図示の本発明電界効果トランジスタと異なる点は、第11図(A)のY-Y線に沿う断面端面を示す第11図(B)に良く示されているように、チャネル5が一対のゲート電極3-1, 3-2を結ぶ方向、つまり、キャリア走行方向とは直交する方向の断面(Y-Y線に沿う断面)において三角形状をしていることである。こうした構造は(100)面方位のSOI基板を用い、結晶異方性エッチングを援用することで得ることができる。以下、この構造の製造工程例につき説明する。第12図から第20図の各図において(A)図は第11図中のY-Y線に沿う断面端面図に相当し、(B)図はX-X線に沿う断面端面図に相当する。

まず、第12図(A), (B)に示すように、シリコン基板1上に埋め込み酸化膜2と(100)面方位のシリコン結晶層5aを持つSOIウェハを用意し、その表面に熱酸化でシリコン酸化膜を形成し、第13図(A), (B)に示すように電子ビーム露光とRIEで当該シリコン酸化膜によるドーピングマスク9を作製してから、ソース7-1とドレイン7-2を形成すべき領域にそれぞれ適当なる不純物をドーピングする。

次いで、第14図(A), (B)に示すように、絶縁膜4からなるハードマスクをRIEで形成し、例えば2.38%のTMAH水溶液を用いてシリコン層をエッチングする。これによりチャネルの右側に斜めの(111)面方位を持つシリコン面が露呈形成される。そこで、熱酸化

を施すかCVDで、第15図(A), (B)に示すように、ここに相対的に厚膜となるゲート絶縁膜6-2を形成する。この実施形態でも本発明の特定の態様に従い、一対のゲート絶縁膜の厚みのみならず、互いの誘電率をも変える場合には、この工程で、第15図(A)中に仮想線の矢印fで示すように、公知既存の斜め蒸着技術やスパッタ法等を用い、シリコン熱酸化膜とは異なる適当な絶縁材料を重ねて形成すれば、誘電率が後に形成される他方のゲート絶縁膜6-1とは異なるゲート絶縁膜6-2とすることができます。重ね形成する適当な絶縁材料としては、例えばHfSiON, HfAlSiON, La₂O₃等を挙げることができる。ただし、このゲート絶縁膜6-2の実質的な誘電率変更工程は、ここでは行わず、後述の第17図に即して説明する工程においてであっても良い。もちろん、熱酸化を行わず、始めから所望の厚みの特定絶縁材料を付着させても良い。

こうした構造の上に、第16図(A), (B)に示すように、電子ビーム露光でレジストパターン10を形成し、第17図(A), (B)に示すように、例えばRIEで絶縁膜4からなるハードマスクを形成してから、結晶異方性エッチングでチャネルの左側に(111)面方位をもつ斜めのシリコン面を形成し、短時間の熱酸化で薄いゲート酸化膜6-2を形成する。先に述べたように、一対のゲート絶縁膜6-1, 6-2の互いの誘電率をも変える場合には、第15図に仮想線の矢印fで示した工程を止め、この第17図示の工程で、どちらか一方、例えば厚い方のゲート絶縁膜6-2に対し、仮想線の矢印fで示すような、既述した適当な材料付着による誘電率変更工程を付与しても良い。先に述べたと同様、薄い方のゲート絶縁膜6-1に対する誘電率変更工程が必要な場合には、同様にこの工程にてチャネルを挟んで反対方向斜めからの適当なる誘電材料照射を行えば良い。

こうした後、第18図(A), (B)に示すように、ウェハ全面にゲート電極材料3aを堆積させ、それから第19図(A), (B)に示し、また既に説明した方法に従い、シケードガラス11を堆積させて、電子ビーム露光でゲートパターンを形成し、RIEでゲート加工をする。

ここで、第19図示の工程に移る前に、本発明の特定の態様に従い、一対のゲート電極3-1, 3-2の仕事関数 Φ_1 , Φ_2 を互いに異ならせる場合には、第18図に図示する工程において、例えばゲート電極材料3aとしてポリシリコンを選び、第18図(A)中、まず仮想線の矢印Wpで示すように、当該ポリシリコン3aの堆積後、傾斜イオン注入法により、例えば燐を注入すると、薄いゲート絶縁膜6-1に接するゲート電極となる部分3-1と絶縁膜4の上方を渡し越す部分には当該燐が注入されるが、厚いゲート絶縁膜6-2に接する部分の近傍のゲート電極部分3-2は当該傾斜イオン注入の“影”となって燐が注入されず残る。続いて今度は、仮想線の矢印Wbで示すように、チャネル5を挟んで反対方向からの傾斜イオン注入法により、例えば硼素を注入すると、厚いゲート絶縁膜6-2に接するゲート電極となる部分3-2と絶縁膜4の上方を渡し越す部分には当該硼素が注入されるが、薄いゲート絶縁膜6-1に接する部分3-1には注入されず、最初の段階で燐が注入されたままに残る。この注入の順番は逆でも良いが、いずれにしてもこの工程で、互いに異なる仕事関数を持つ一対のゲート電極3-1, 3-2を予め形成でき、この場合には薄いゲート絶縁膜6-1に接つしていて燐を添加したゲート電極3-1の仕事関数の方が、硼素を添加した他方のゲート電極3-2のそれよりも低くなる。

第19図示の工程の後に、第20図(A), (B)に示すように、ウェハ全面にこれも既述したPSG(p型チャネルの場合はBSG)とNSGとからなる絶縁膜8を連続的に堆積し、瞬時加熱アニーリングをしてチャネル延長部のドーピングを行ってから化学機械研磨(CMP)を利用し、絶縁膜4をストップとして研磨を行えば、第11図に示したように、分離されたゲート電極3-1, 3-2を有する本発明二重ゲート電界効果トランジスタが完成する。その後の処理については、これも既に述べた通り、この種の分野における通常の処理に従い、製品としての素子完成に至って良い。なお、イオン注入法によらず、一対のゲート電極3-1, 3-2の仕事関数を互いに異ならせるために別途な金属材料を用いる場合には、

第18～19図に示した工程では第一の電極材料で片方のゲート電極のみが作製されるようになり、もう一回、同様な工程を追加する等して、異なる材質、異なる仕事関数の第二の電極材料により、他方のゲート電極を作製すれば良い。組み合わせる電極材料には、既述したような適当な金属材料を選んで良い。

第21図(A), (B)には、こうした三角チャネル5を形成する場合の他の実施形態が示されている。つまり、一方のゲート絶縁膜、この場合、厚い方のゲート絶縁膜6-2の高さの途中に他方のゲート絶縁膜、この場合薄い方のゲート絶縁膜6-1がぶつかるような形状になっていて、三角チャネル5はさらに微細化されている。そもそも縦型チャネル5を三角形状のチャネルにすることは、短チャネル効果をより顕著に制御するために有効であるので、このように三角チャネル5をより微細化すると、その効果はより大きくなる。この場合にも、チャネル5のみが微細化されるので、ソース・ドレイン寄生抵抗は小さくできる利点がある（延長部のソース・ドレインは太いままで残し得る）。

こうした構造の作製工程は基本的に第12図～第20図に即して述べた工程と同様で良い。異ならせる点は、第17図(A), (B)に示す工程中における結晶異方性エッチング時間であり、それは長くする必要がある。エッチング時間を正確に制御するのがポイントである。

第22図(A), (B)には、本発明のまた別な、そして、ある意味では基本的な実施形態が示されている。今まで述べてきた実施形態では、一対のゲート電極3-1, 3-2は互いに電気的に独立していた（絶縁分離されていた）。この実施形態は、第27図に示した従来例の構造と各領域の配置関係等は同じであって、一対のゲート電極3-1, 3-2は接続部分3cで接続されており、従って一対のゲート電極3-1, 3-2に異なる電位を与えることはできない。しかし、本発明に従い、製造工程において一対のゲート絶縁膜6-1, 6-2の厚みt₁, t₂を調整することで、さらにはまた、これに加え、あるいはこれに代えて、本発明

の特定の態様に従い、一対のゲート絶縁膜6-1, 6-2の誘電率 ϵ_1 , ϵ_2 の関係、または一対のゲート電極3-1, 3-2の互いの仕事関数 Φ_1 , Φ_2 を調整するか、一対のゲート絶縁膜6-1, 6-2の誘電率 ϵ_1 , ϵ_2 の関係と一対のゲート電極3-1, 3-2の互いの仕事関数 Φ_1 , Φ_2 の関係を共に調整することで、所望の閾値電圧を与え得る自由度を持つ。

第23図には、第1～10図に即して説明した実施形態において、一対のゲート絶縁膜6-1, 6-2の厚み関係で、一方の厚み t_1 を2nmに固定とし、他方の厚み t_2 を2nmから20nmまで、様々に変えて取った計算結果が示されている。これはゲート絶縁膜の厚みの変化に応じたゲート電圧(横軸:V_{gc})に対するサブスレッショルド係数(右縦軸:mV/dec.)と閾値電圧(左縦軸:V)の依存性を見たもので、本発明の趣旨に従い、十分に閾値電圧を所望の値に制御して作製できることが示されている。第24図はサブスレッショルド係数(右縦軸:mV/dec.)と閾値電圧(横軸:V)の関係にのみ着目して取った特性例で、もちろんこれでも、本発明の有効性が示されている。

第25図(A)～(C)には本発明のさらに他の実施形態に従う二重ゲート電界効果トランジスタの概略構成が示されている。第25図(B)は第25図(A)のY-Y線に沿う断面端面図、第25図(C)は第25図(A)中のX-X線に沿う断面端面図であるが、この実施形態は、各領域の配置関係や機械的な意味での構造等は、第27図に即して既に説明した従来構造と同様であって良いものである。すなわち、基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャネル5を、当該縦型チャネル内のキャリア走行方向とは直交する方向から一対のゲート絶縁膜6-1, 6-2で挟んでおり、これら一対のゲート絶縁膜6-1, 6-2の上にはそれぞれゲート電極3-1, 3-2が設けられていて、これらのゲート電極3-1, 3-2もまた、対をなしている。ただし、これら一対のゲート電極3-1, 3-2は、チャネル5上に形成されている絶縁膜4を渡し越す部分3cで互いに電気的に接続されているため、実際には一つの部材とも認められる。

この実施形態では、先の実施形態とは異なり、一対のゲート絶縁膜6-1, 6-2の厚みは同じとなっている。しかし、本発明の特定の態様を適用した結果、この実施形態において第27図示の従来例と根本的に異なる点は、一対のゲート絶縁膜6-1, 6-2のそれぞれの誘電率 ϵ_1 , ϵ_2 が互いに異なっている($\epsilon_1 \neq \epsilon_2$)か、一方のゲート電極3-1の仕事関数 Φ_1 と他方のゲート電極3-2の仕事関数 Φ_2 とが互いに異なっている($\Phi_1 \neq \Phi_2$)か、または、一対のゲート絶縁膜6-1, 6-2のそれぞれの誘電率 ϵ_1 , ϵ_2 が互いに異なっていて、かつ、一方のゲート電極3-1の仕事関数 Φ_1 と他方のゲート電極3-2の仕事関数 Φ_2 とが互いに異なっている点である。

そのため、第27図に示した従来例における既述の欠点が解消ないし緩和され、製造時におけるゲート絶縁膜の当該互いの誘電率 ϵ_1 , ϵ_2 の調整により、例え一対のゲート電極3-1, 3-2が上記のように互いに電気的に接続され、個々の電位は独立には調整できない状態であっても、サブスレッショルド係数の増加を招かない範囲で所望の閾値電圧を得ることができる。

同様に、製造時におけるこれら一対のゲート電極3-1, 3-2に与える仕事関数 Φ_1 , Φ_2 の調整により、サブスレッショルド係数の増加を招かない範囲で素子としての所望の閾値電圧を得ることができる。

もちろん、誘電率 ϵ_1 , ϵ_2 の関係と仕事関数 Φ_1 , Φ_2 の関係をともに調整することで、互いに相補的に、より細かに閾値電圧を調整することもできる。

なお、それぞれが独立の誘電率 ϵ_1 , ϵ_2 を持つゲート絶縁膜6-1, 6-2の材質は、既に述べたように、既存材料から適当なものを相当程度の自由度を持って選ぶことができるし、これも既述のように、積層構造として形成することで、その実効的な誘電率を所望の値に決定することもできる。同様に、上記のような仕事関数関係にするゲート電極3-1, 3-2の材質も既存材料から適当なものを相当程度の自由度を持って選ぶことができ

るし、既述のように、適當なるイオン注入技術を用いて構成することもできる。

第26図(A)～(C)には本発明のさらに他の実施形態に従う二重ゲート電界効果トランジスタの概略構成が示されている。この実施形態は、構造的には既に第28図に即して述べた従来構造と同様であって良い。基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャネル5を、当該縦型チャネル内のキャリア走行方向とは直交する方向から一対のゲート絶縁膜6-1, 6-2で挟んでおり、これら一対のゲート絶縁膜6-1, 6-2の上にはそれぞれゲート電極3-1, 3-2が設けられていて、それらが対を成している。一対のゲート絶縁膜6-1, 6-2の厚みも共に同じである。

しかし、第25図示の実施形態とは異なり、これら一対のゲート電極3-1, 3-2は互いに電気的に独立で、絶縁分離されたものとなっているため、個々のゲート電極に互いに異なる電位を印加することができる。図示の場合には、やはりチャネル5を始めとする各構成要素は埋め込み絶縁膜2上に形成されており、チャネル5の上部は絶縁膜4にて覆われている。

この実施形態でも、本発明の趣旨に従い、一対のゲート絶縁膜6-1, 6-2のそれぞれの誘電率 ϵ_1 , ϵ_2 が互いに異なるものとされているか、一対のゲート電極3-1, 3-2のそれぞれの仕事関数 Φ_1 , Φ_2 が互いに異なるように設定されているか、または一対のゲート絶縁膜6-1, 6-2のそれぞれの誘電率 ϵ_1 , ϵ_2 も一対のゲート電極3-1, 3-2のそれぞれの仕事関数 Φ_1 , Φ_2 も、共に互いに異なるように設定されている。

そのため、第28図示の従来構造による二重ゲート電界効果トランジスタの欠点は解消され、サブスレッショルド係数の増加を招かない範囲で所望の閾値電圧を得ることができるものならず、一対のゲート電極3-1, 3-2が互いに電気的に独立しているので、動作時においても、要すればダイナミックに閾値電圧の電気的制御が可能となる。

特に例えば誘電率 ϵ_1 , ϵ_2 を異ならせる場合には、相対的に高い誘電率 ϵ_1 のゲ

ト絶縁膜6-1に臨むゲート電極3-1を駆動電極として用い、低い方のゲート絶縁膜6-2に臨むゲート電極に適当な制御電位を与えるようにすることで、電界効果トランジスタのサブスレッショルド係数の急増を防止しながら、動作時においてもダイナミックに閾値電圧の電気的制御が制御性良く可能となる。

一方、一対のゲート電極3-1, 3-2のそれぞれの仕事関数 Φ_1 , Φ_2 を互いに異ならせる場合には、例えば、一方のゲート電極を駆動電極として用い、他方のゲート電極に制御電位を与えるようにすれば、電界効果トランジスタのサブスレッショルド係数の急増を防止しながら閾値制御を電気的に制御できるようになるし、必要とあれば、素子動作時においてのダイナミックな制御も可能となる。

また、一般的に言えば、一対のゲート電極にあって仕事関数の低い方のゲート電極に固定バイアスを印加するような使い方では、その印加電位の如何によってドレイン電流を激減させ、ドレイン電流を強烈にシャットオフする等の使い方ができ、逆に仕事関数の高い方のゲート電極に固定バイアスを印加しての使用では、やはり印加電位の大きさに応じ、電流対電圧特性を平行にシフトできるので、閾値電圧の広範囲な制御が可能となる。

産業上の利用可能性

本発明によると、少なくとも一対のゲート絶縁膜の厚みが互いに異なっているか、互いの誘電率が異なっているか、あるいは一対のゲート電極が互いに異なる仕事関数を有しているので、例えゲート電極が互いに電気的に接続されている場合でも、製造時に所望の閾値電圧に設定できる。しかも、チャネルにイオン注入等でドーピングして閾値を制御することを考えると、チャネル寸法が微細化するに伴い、不純物のバラツキ等が問題となってくるが、本発明方法ではそのような惧れもなく、かつ、既述した従来例に

認められたような、サブスレッショルド係数の増大と言う問題も解決できる。

さらに、一対のゲート電極を互いに電気的に独立させる本発明の特定の態様では、動作時においての閾値電圧制御を電気的に行うことも可能となる。例えば、ゲート絶縁膜が薄い方に臨むゲート電極を駆動電極として用い、ゲート絶縁膜が厚い方に臨むゲート電極に適当な制御電位を与えるようにするか、相対的に誘電率が高い方のゲート絶縁膜に臨むゲート電極を駆動電極として用い、低い方のゲート絶縁膜に臨むゲート電極に適当な制御電位を与えるようにすれば、電界効果トランジスタのサブスレッショルド係数の急増を防止しながら閾値制御を電気的に制御できるようになり、必要とあれば、素子動作時においてのダイナミックな制御も可能となる。

また、一対のゲート電極の仕事関数を異ならせた場合、仕事関数の低い方のゲート電極に固定バイアスを印加するような使い方では、その印加電位の如何によってドレン電流を激減させ、ドレン電流を強烈にシャットオフする等の使い方ができ、逆に仕事関数の高い方のゲート電極に固定バイアスを印加しての使用では、やはり印加電位の大きさに応じ、電流対電圧特性を平行にシフトできるので、閾値電圧の広範囲な制御が可能となる。

もちろん、既述のように、一対のゲート絶縁膜の厚みを互いに異ならせることも、誘電率を互いに異ならせることも、一対のゲート電極の仕事関数を互いに異ならせることも、その内の任意の二つまたは全ての手段を併せて選択することで、より細かな閾値電圧制御が可能となる。

構造的には、第29図に示したようなプレーナ型ではなくて、縦型チャネルを用いているために、昨今の優秀な製造技術を有効に利用でき、例えばウェットエッチングで作製することができる結果、ドライエッチングを用いねばならない時のように、チャネルがプラズマによるダメージを受けるようなこともないし、チャネル表面に自己整合的に

(111)面を発現させ、原子層オーダで平坦化することもできるため、チャネル表面のラフネンス散乱による移動度の低下が少ない、高性能な電界効果トランジスタとし得る。

もちろん、ソース、ドレイン及び両ゲート電極を同一主面に配置し得るので、デバイス間の配線が簡単となる。また、作製プロセスではチャネルを先に加工しておき、両ゲート電極を同じプロセスで加工することができるために、ソース、ドレイン領域と両ゲート電極を自己整合の関係で配置できる。これはまた、寄生容量と寄生ソース・ドレイン抵抗の変動によるデバイス性能の劣化を防止し得ることを意味する。

さらに本発明の特定の態様に従い、縦型チャネルを三角形形にするということは、短チャネル効果をより良く抑えるのに効果がある。

二重ゲート電界効果トランジスタ構造における消費電力の低減にも本発明は寄与し得る。本発明は、閾値電圧をかなり自由に制御できる手段を提供するので、例えば二重ゲート電界効果トランジスタの動作に関し、必要時には閾値電圧を下げて高速動作を保証し、待機時は閾値電圧を挙げてオフ電流を下げ、もって非動作時の消費電力を大幅に下げる等と言うことも可能になる。従って、単体の素子としてはもちろんのこと、本発明の二重ゲート電界効果トランジスタを複数用いて構成された半導体集積回路でも、その性能はこれまでに比しても下がることはなく、寧ろ逆に向かうながら、なおかつ、消費電力は最適に抑えられるものとなる。

なお、一対のゲート電極を互いに独立にした場合、つまりはソース、ドレイン電極を含めて四端子素子として本発明の二重ゲート電界効果トランジスタを構成した場合、上述のように、閾値電圧制御のためだけに一対のゲート電極に印加する電位を調整するだけではなくて、新しい回路機能を付加できる可能性もある。いずれにしても、本発明によると、これまでのシリコン集積回路の発展を今後とも停滞させることがないばかりか、逆にシリコン集積回路の新しい機能の発現を促す可能性も高く、半導体産業に計り

知れない恩恵をもたらすことができる。

請 求 の 範 囲

1. 基板に対し起立した関係でソースとドレインの間に設けられた縦型チャネルと、該縦型チャネル内のキャリア走行方向とは直交する方向から該縦型チャネルを一対で挟むゲート絶縁膜と、これら一対のゲート絶縁膜の各々を介してそれが該縦型チャネルに臨む計一対のゲート電極とを有する二重ゲート電界効果トランジスタにおいて；
上記一対のゲート絶縁膜の厚みを互いに異ならせたこと；
を特徴とする二重ゲート電界効果トランジスタ。
2. 上記一対のゲート電極は互いに電気的に接続されていること；
を特徴とする請求の範囲第1項記載の二重ゲート電界効果トランジスタ。
3. 上記一対のゲート電極は互いに電気的に独立であること；
を特徴とする請求の範囲第1項記載の二重ゲート電界効果トランジスタ。
4. 上記一対のゲート絶縁膜の誘電率が互いに異なっていること；
を特徴とする請求の範囲第1項記載の二重ゲート電界効果トランジスタ。
5. 上記一対のゲート電極の仕事関数が互いに異なっていること；
を特徴とする請求の範囲第1項記載の二重ゲート電界効果トランジスタ。
6. 上記縦型チャネルは、上記キャリア走行方向と直交する方向の断面で見て三角形状をなし；
上記一対のゲート絶縁膜の各々は、それぞれ該三角形状の対向する側面である斜面に接していること；
を特徴とする請求の範囲第1項記載の二重ゲート電界効果トランジスタ。
7. 基板に対し起立した関係でソースとドレインの間に設けられた縦型チャネルと、該

縦型チャネル内のキャリア走行方向とは直交する方向から該縦型チャネルを一対で挟むゲート絶縁膜と、これら一対のゲート絶縁膜の各々を介してそれが該縦型チャネルに臨む計一対のゲート電極とを有する二重ゲート電界効果トランジスタにおいて；

上記一対のゲート絶縁膜の誘電率を互いに異ならせたこと；

を特徴とする二重ゲート電界効果トランジスタ。

8. 上記一対のゲート電極は互いに電気的に接続されていること；

を特徴とする請求の範囲第7項記載の二重ゲート電界効果トランジスタ。

9. 上記一対のゲート電極は互いに電気的に独立であること；

を特徴とする請求の範囲第7項記載の二重ゲート電界効果トランジスタ。

10. 上記一対のゲート電極の仕事関数が互いに異なっていること；

を特徴とする請求の範囲第7項記載の二重ゲート電界効果トランジスタ。

11. 上記縦型チャネルは、上記キャリア走行方向と直交する方向の断面で見て三角形状をなし；

上記一対のゲート絶縁膜の各々は、それぞれ該三角形状の対向する側面である

斜面に接していること；

を特徴とする請求の範囲第7項記載の二重ゲート電界効果トランジスタ。

12. 基板に対し起立した関係でソースとドレインの間に設けられた縦型チャネルと、該縦型チャネル内のキャリア走行方向とは直交する方向から該縦型チャネルを一対で挟むゲート絶縁膜と、これら一対のゲート絶縁膜の各々を介してそれが該縦型チャネルに臨む計一対のゲート電極とを有する二重ゲート電界効果トランジスタにおいて；

上記一対のゲート電極が、互いに異なる仕事関数を有すること；

を特徴とする二重ゲート電界効果トランジスタ。

13. 上記一对のゲート電極は互いに電気的に接続されていること；

を特徴とする請求の範囲第12項記載の二重ゲート電界効果トランジスタ。

14. 上記一对のゲート電極は互いに電気的に独立であること；

を特徴とする請求の範囲第12項記載の二重ゲート電界効果トランジスタ。

15. 上記縦型チャネルは、上記キャリア走行方向と直交する方向の断面で見て三角形状

をなし；

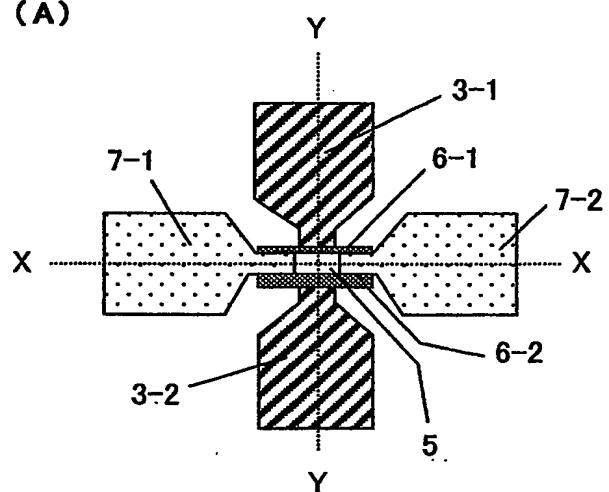
上記一对のゲート絶縁膜の各々は、それぞれ該三角形状の対向する側面である

斜面に接していること；

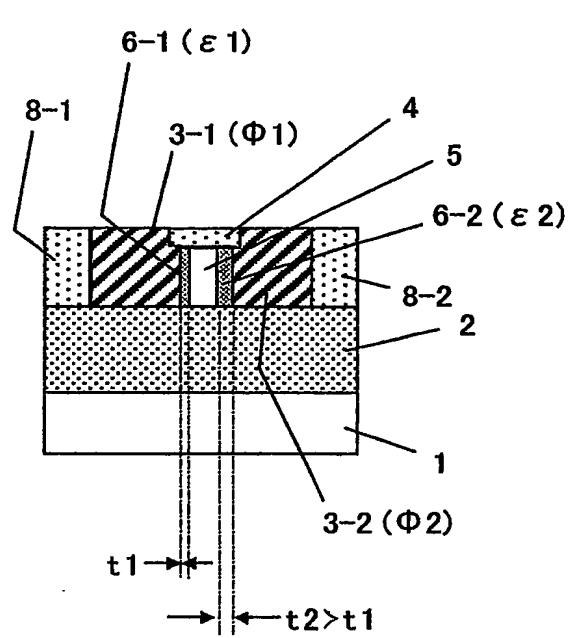
を特徴とする請求の範囲第12項記載の二重ゲート電界効果トランジスタ。

1 / 19

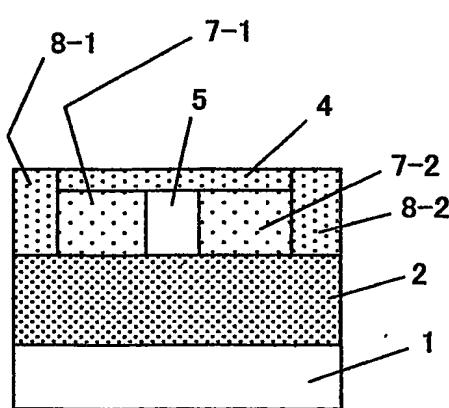
第 1 図 (A)



第 1 図 (B)

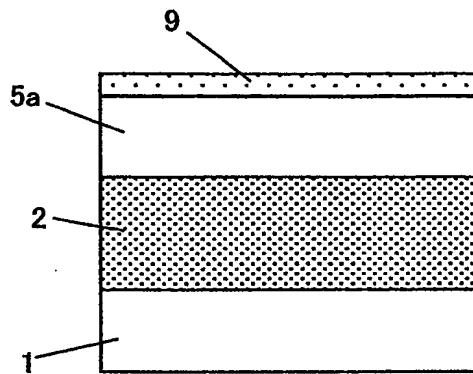


第 1 図 (C)

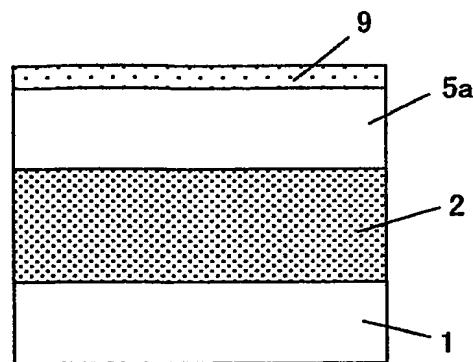


2 / 19

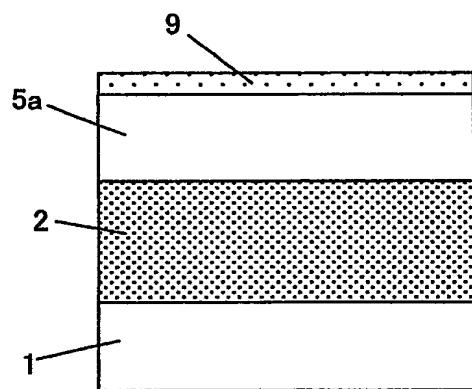
第2図(A)



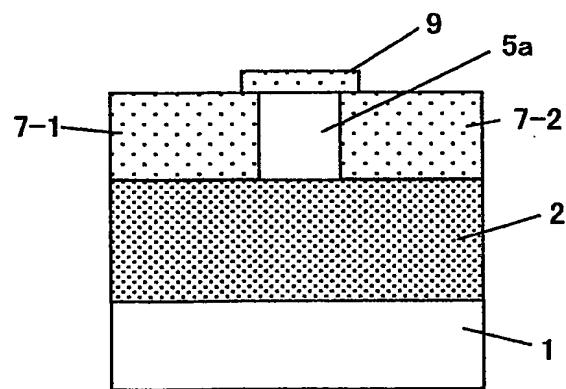
第2図(B)



第3図(A)

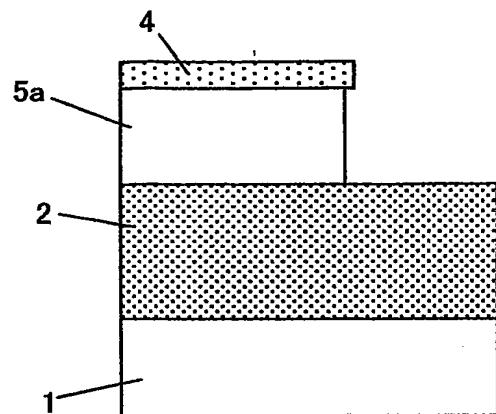


第3図(B)

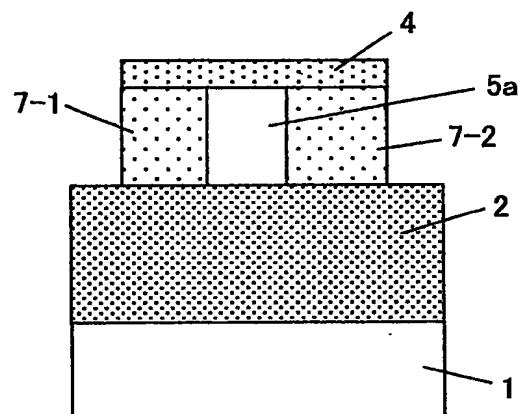


3 / 19

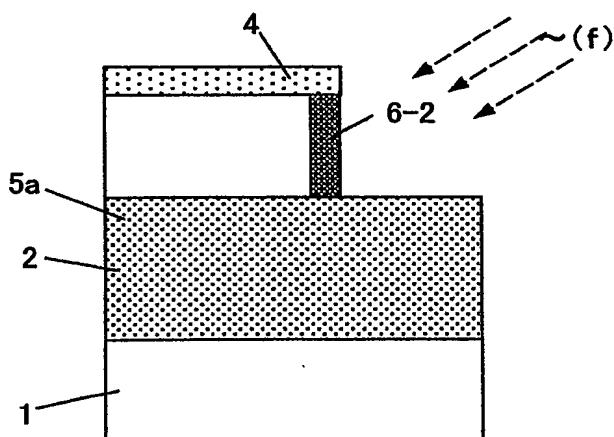
第4図(A)



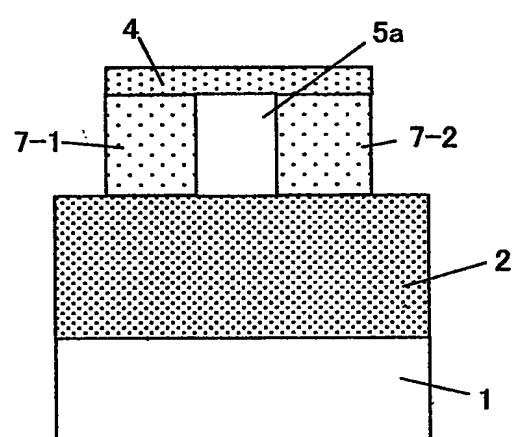
第4図(B)



第5図(A)

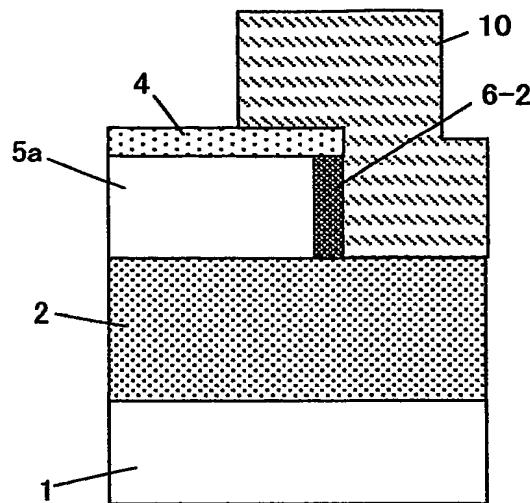


第5図(B)

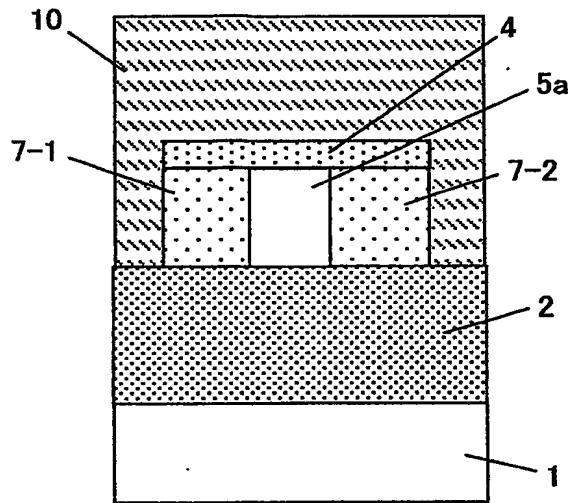


4 / 19

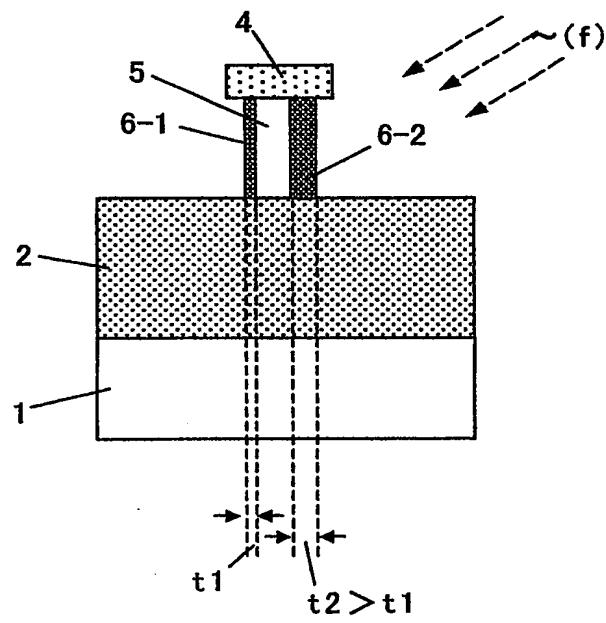
第6図(A)



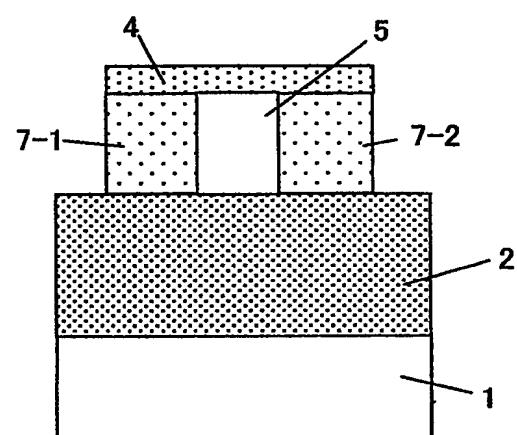
第6図(B)



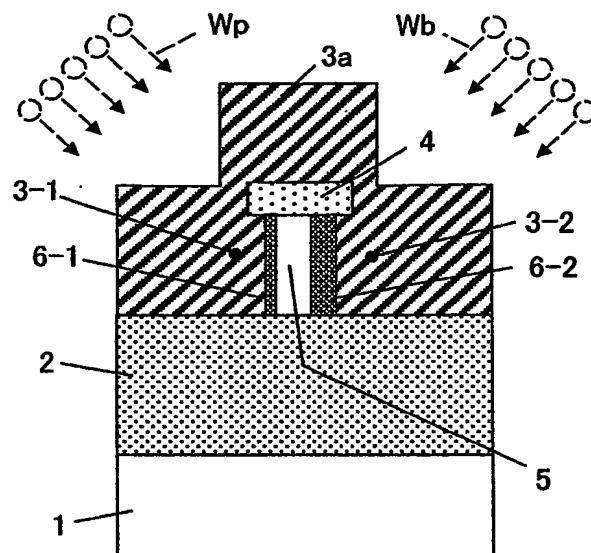
第7図(A)



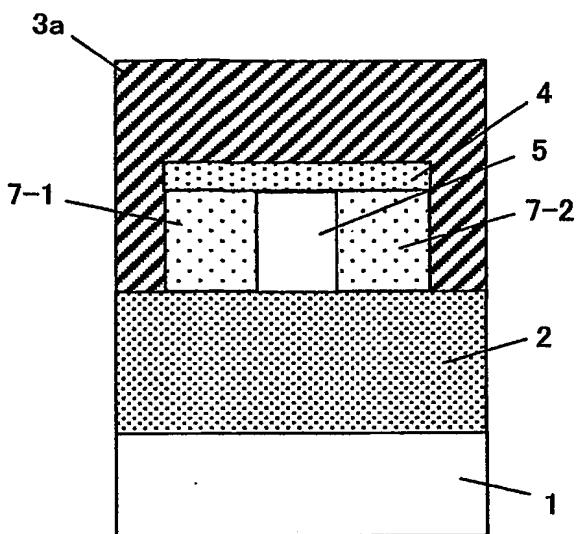
第7図(B)



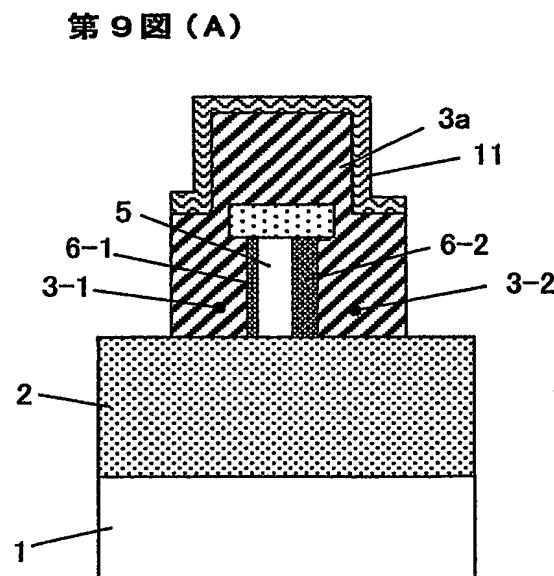
5 / 19



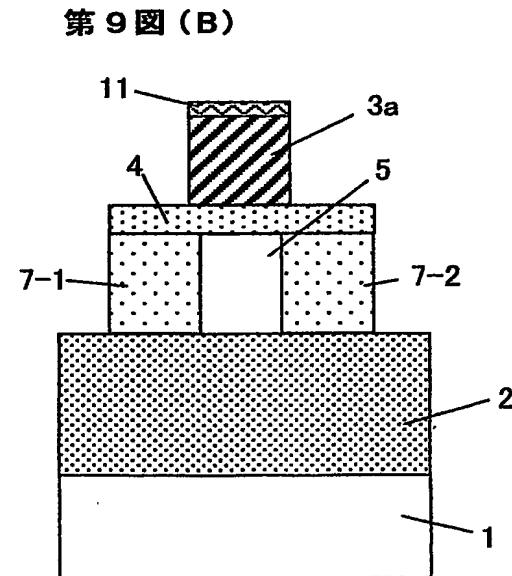
第8図(A)



第8図(B)



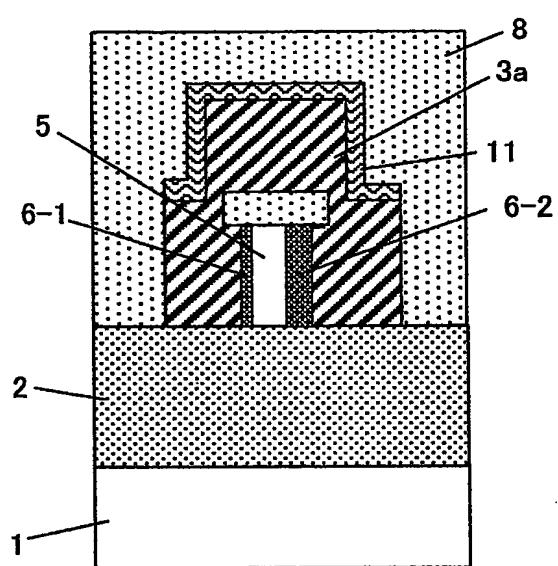
第9図(A)



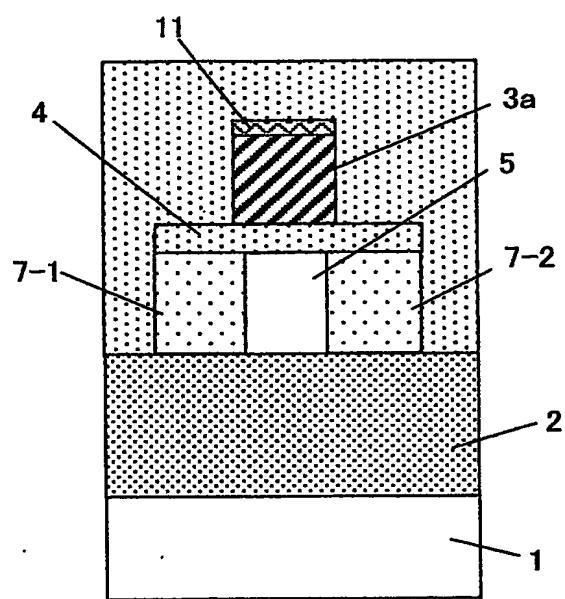
第9図(B)

6 / 19

第10図(A)

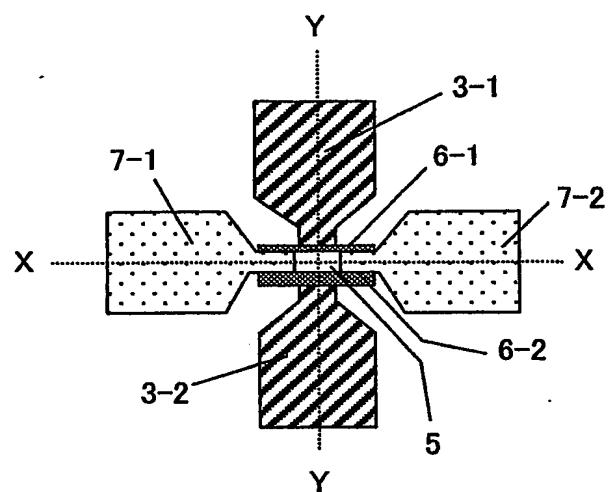


第10図(B)

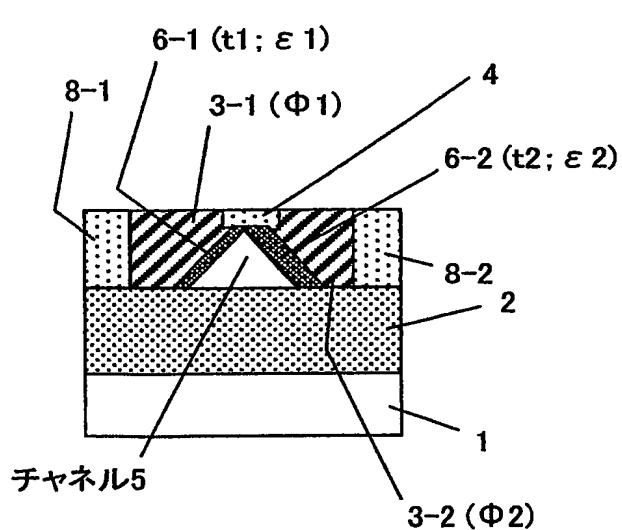


7 / 19

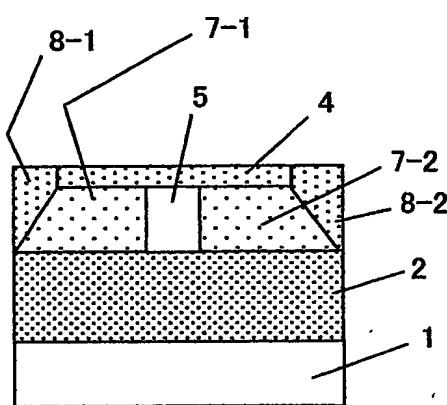
第11図(A)



第11図(B)

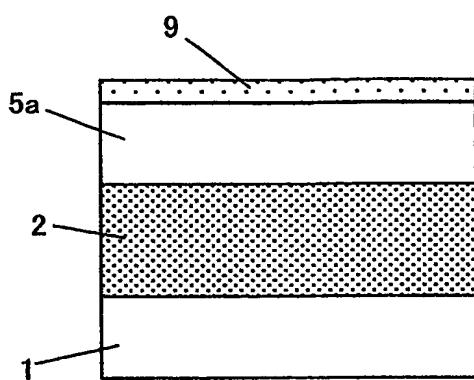


第11図(C)

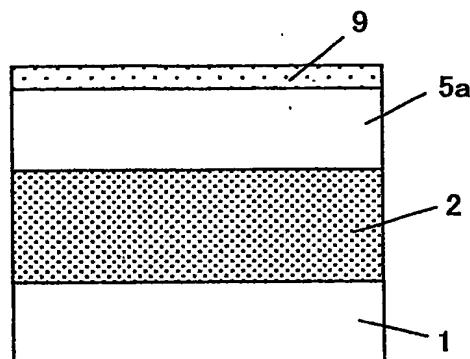


8 / 19

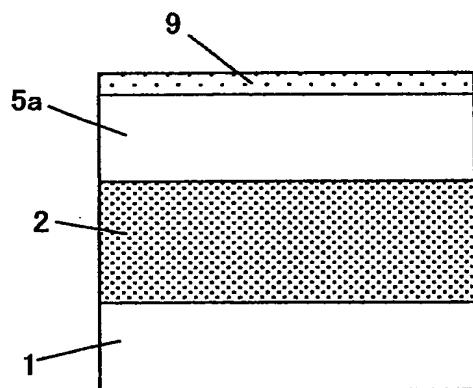
第12図(A)



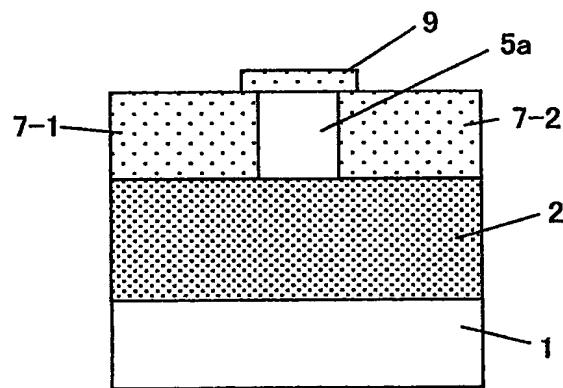
第12図(B)



第13図(A)

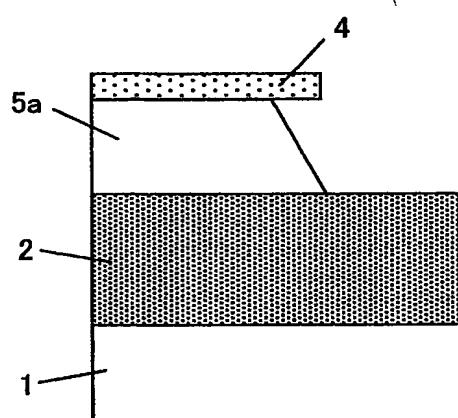


第13図(B)

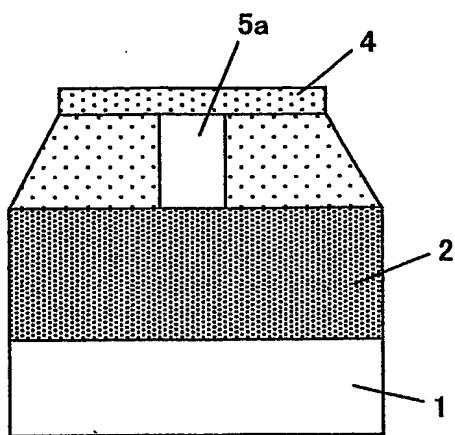


9 / 19

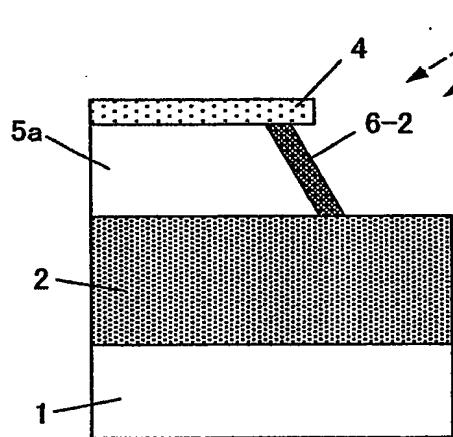
第14図(A)



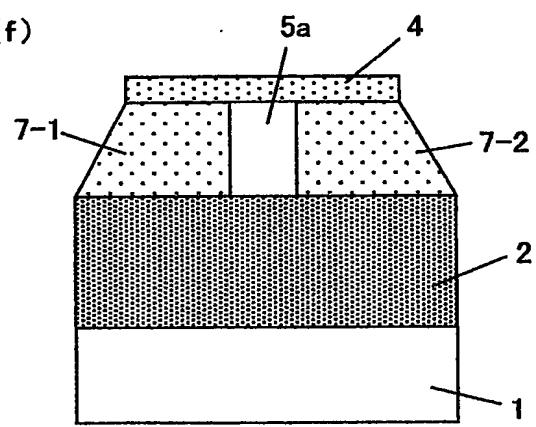
第14図(B)



第15図(A)

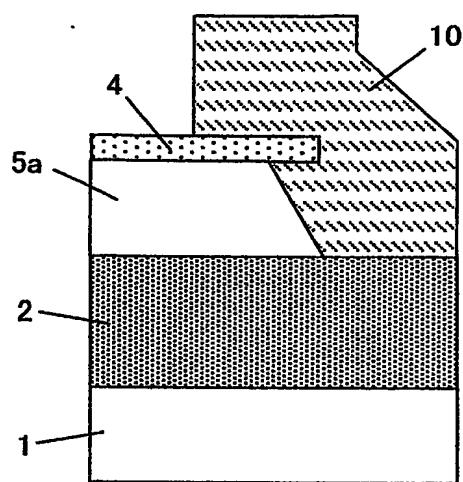


第15図(B)

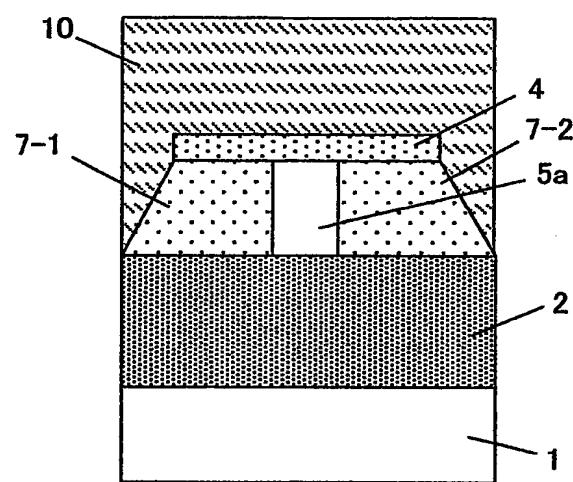


10 / 19

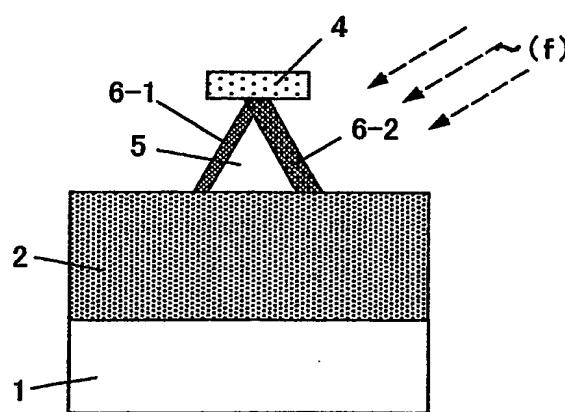
第16図(A)



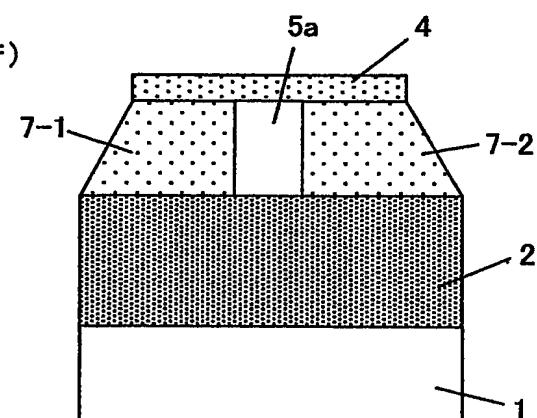
第16図(B)



第17図(A)

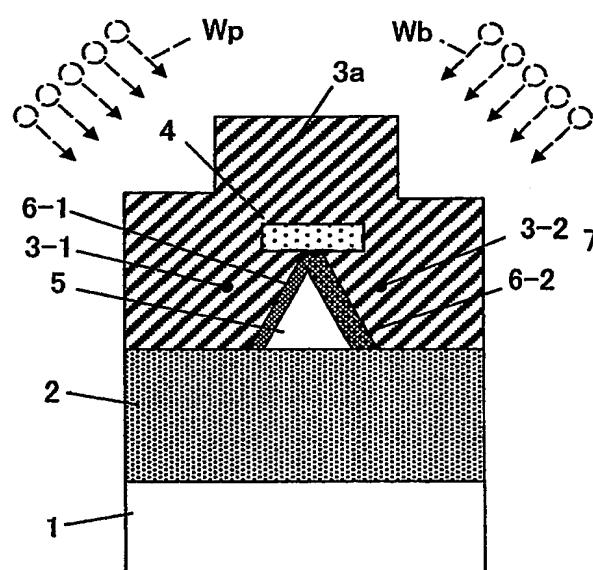


第17図(B)

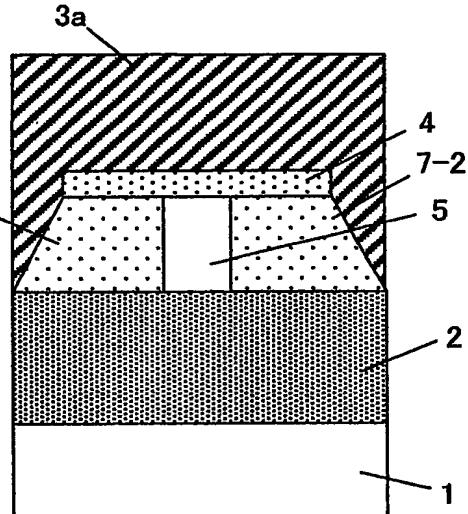


11 / 19

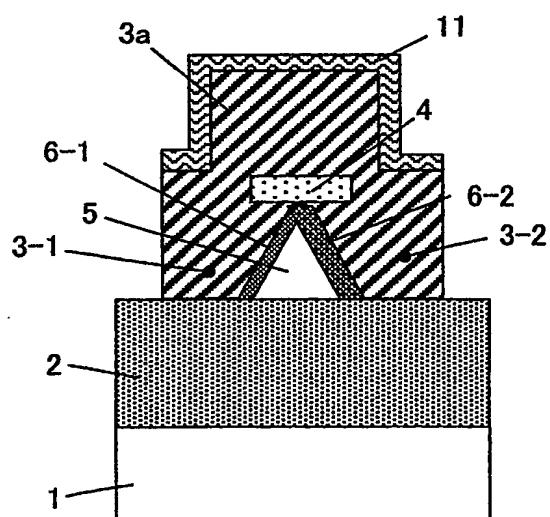
第18図(A)



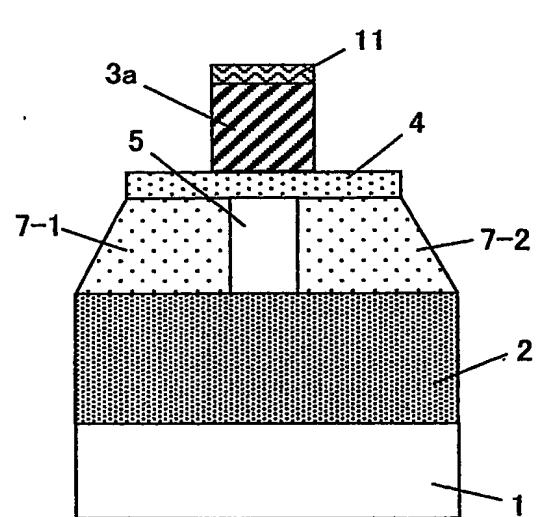
第18図(B)



第19図(A)

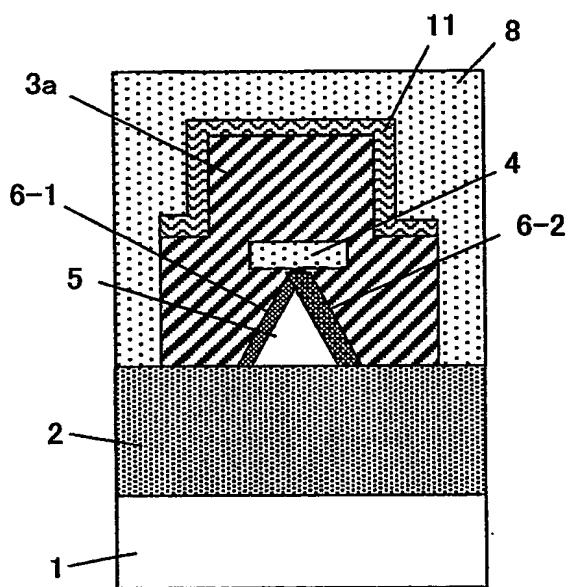


第19図(B)

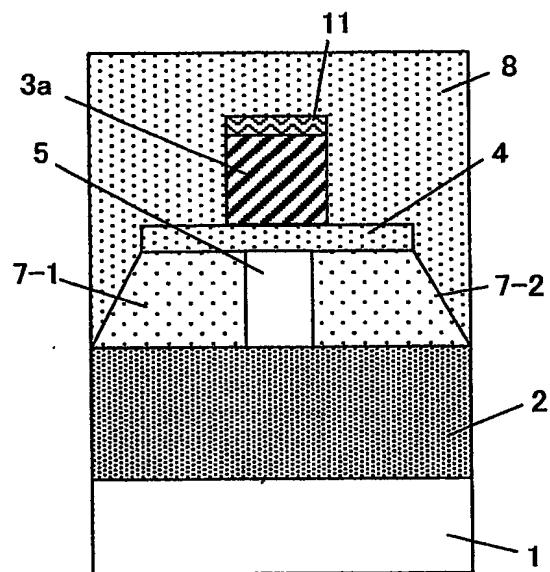


12 / 19

第20図(A)

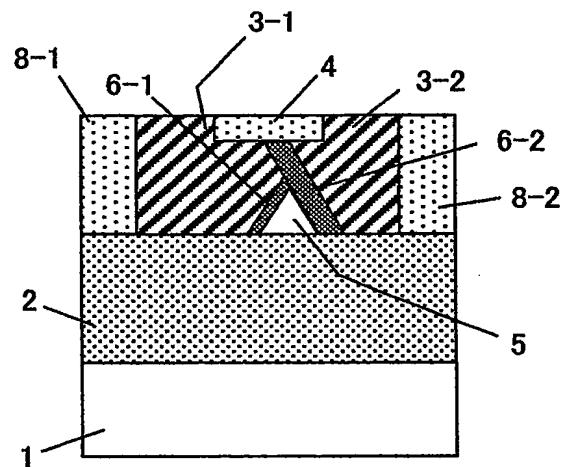


第20図(B)

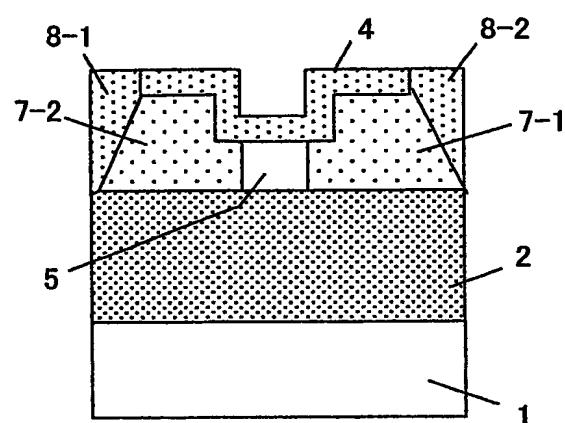


13 / 19

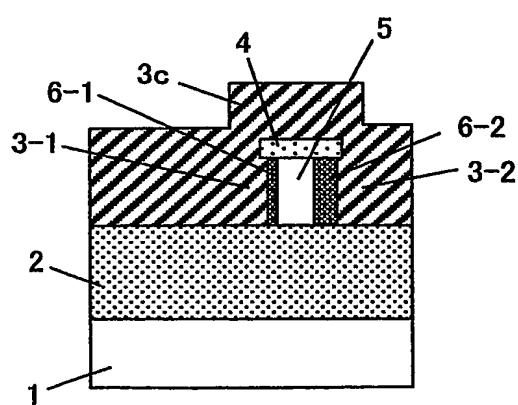
第21図(A)



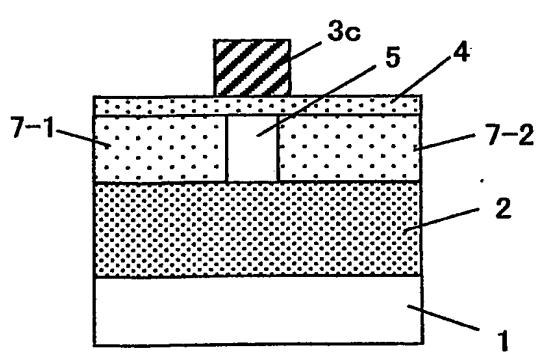
第21図(B)



第22図(A)

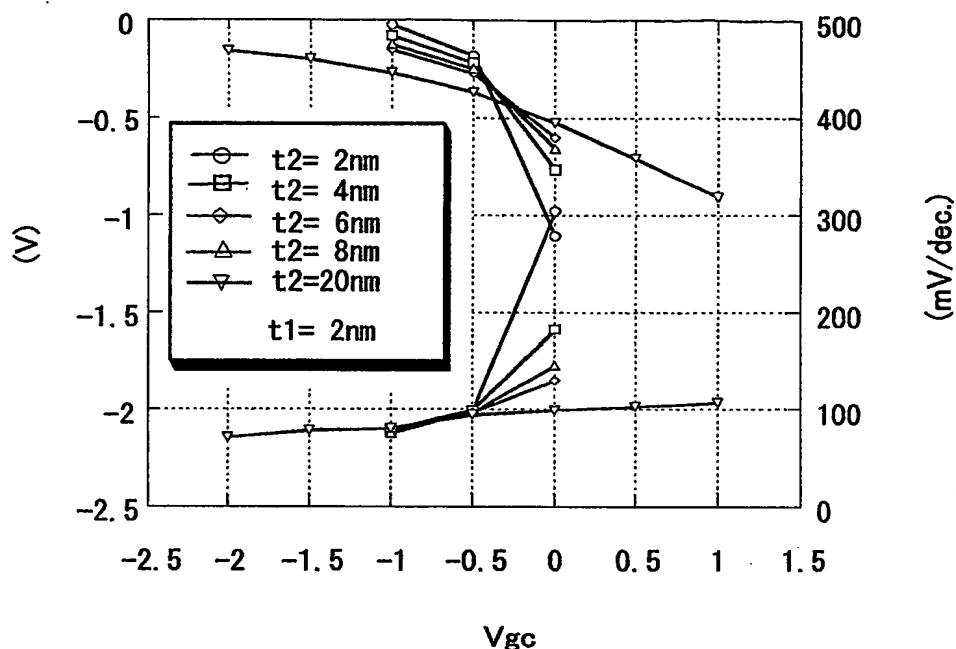


第22図(B)

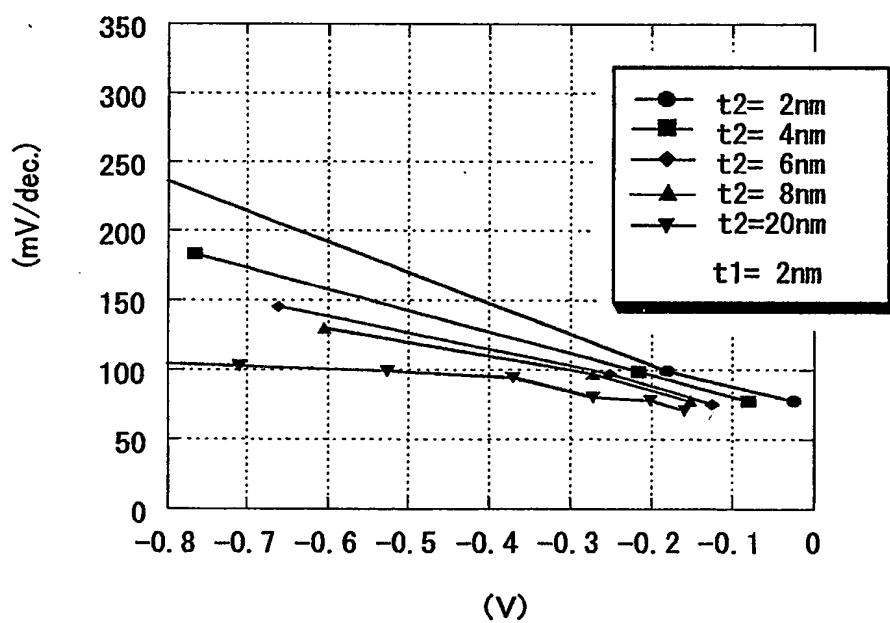


14 / 19

第 23 図

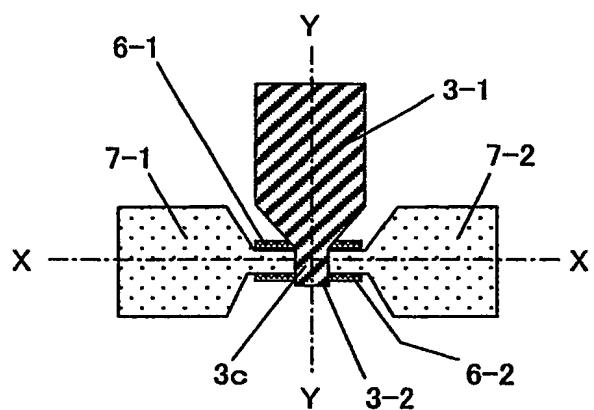


第 24 図

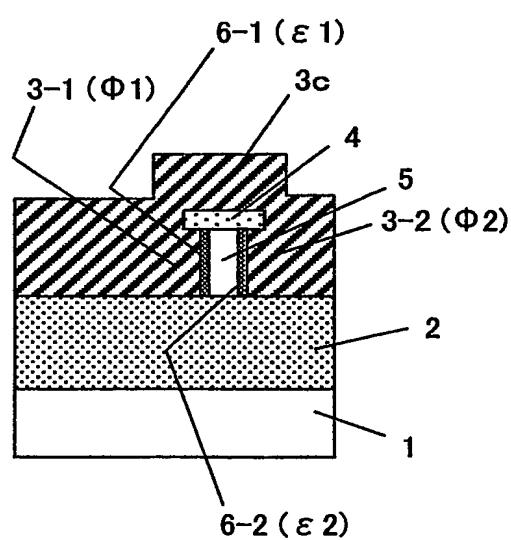


15 / 19

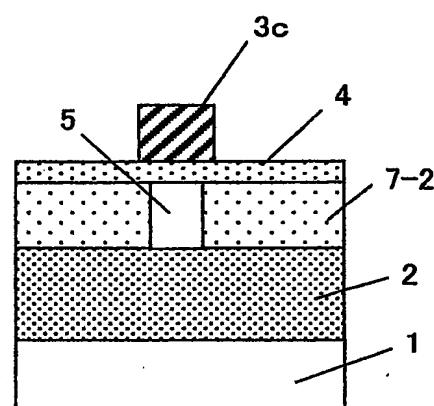
第25図(A)



第25図(B)

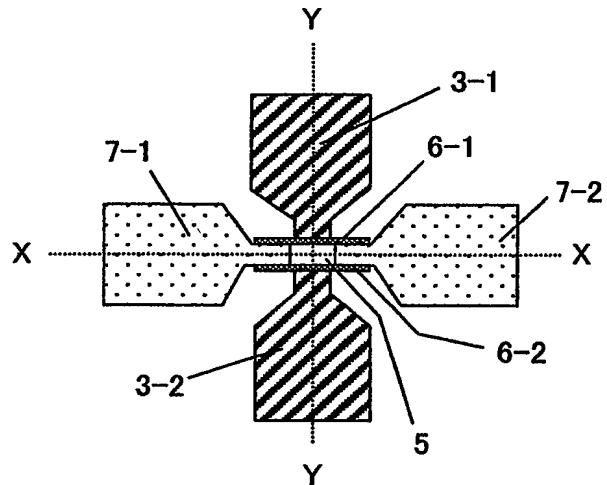


第25図(C)

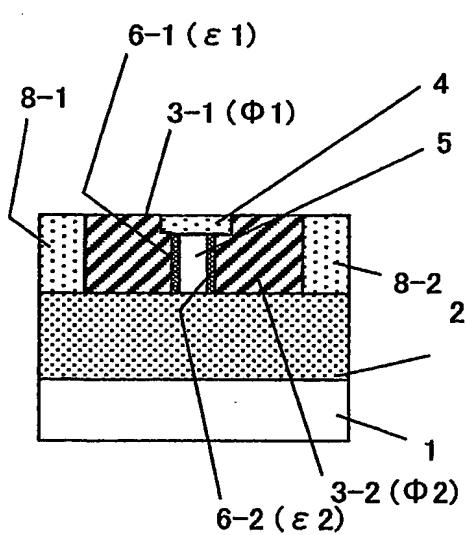


16 / 19

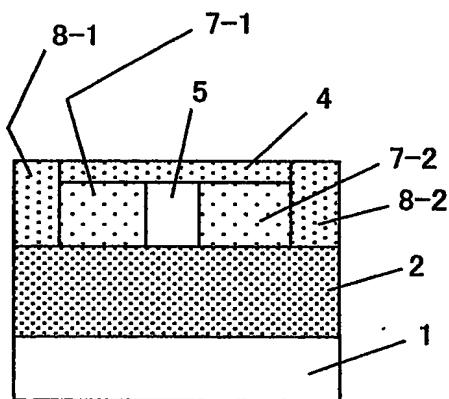
第26図(A)



第26図(B)

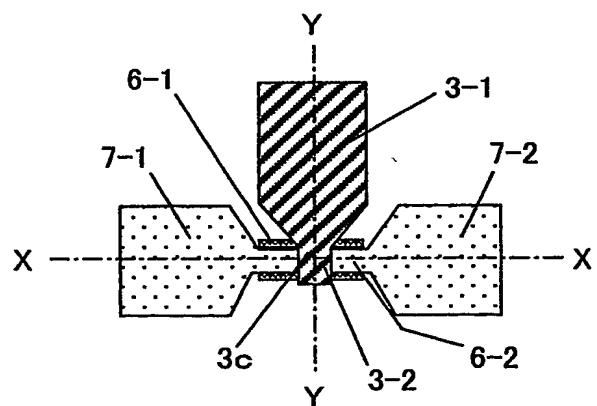


第26図(C)

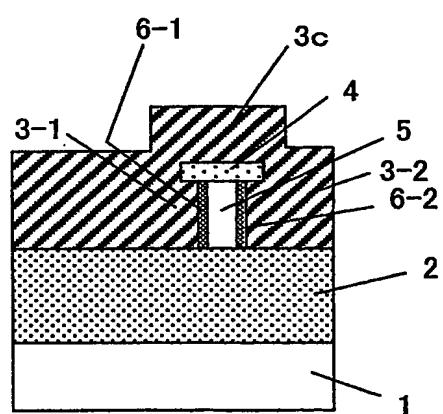


17 / 19

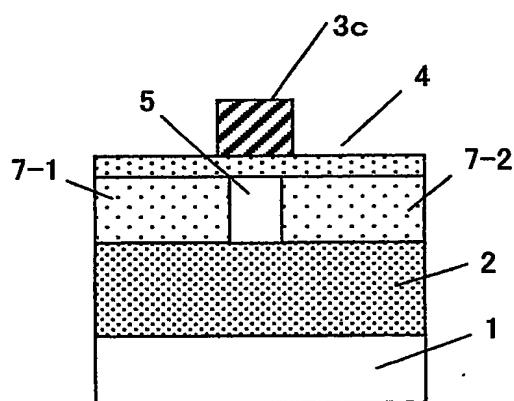
第27図(A)



第27図(B)

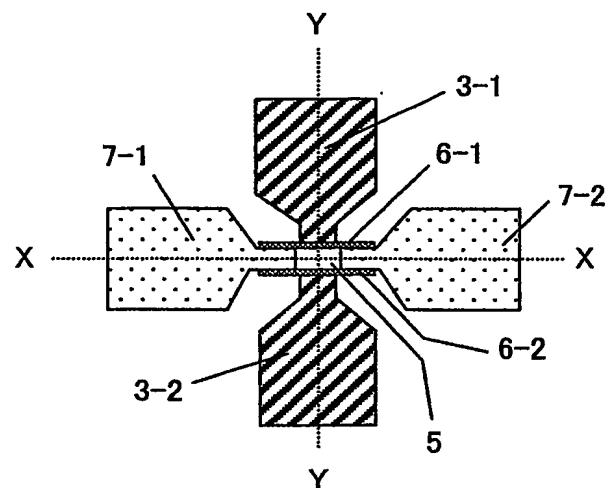


第27図(C)

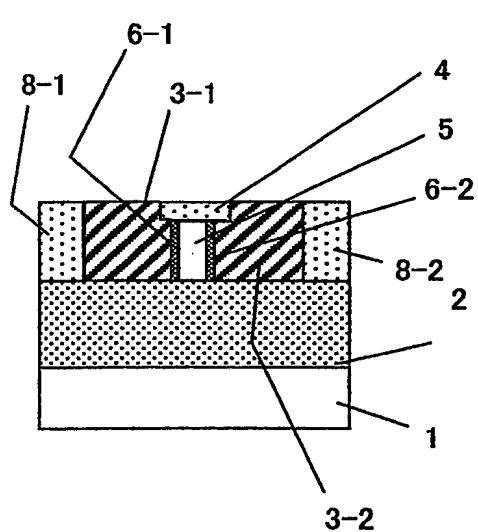


18 / 19

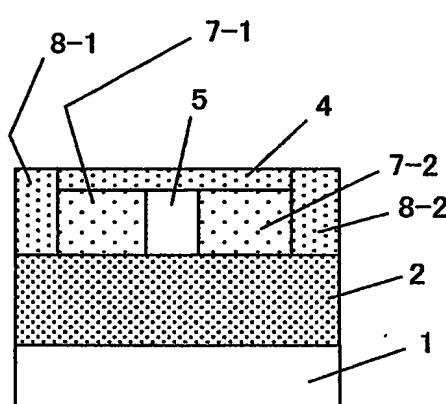
第28図(A)



第28図(B)

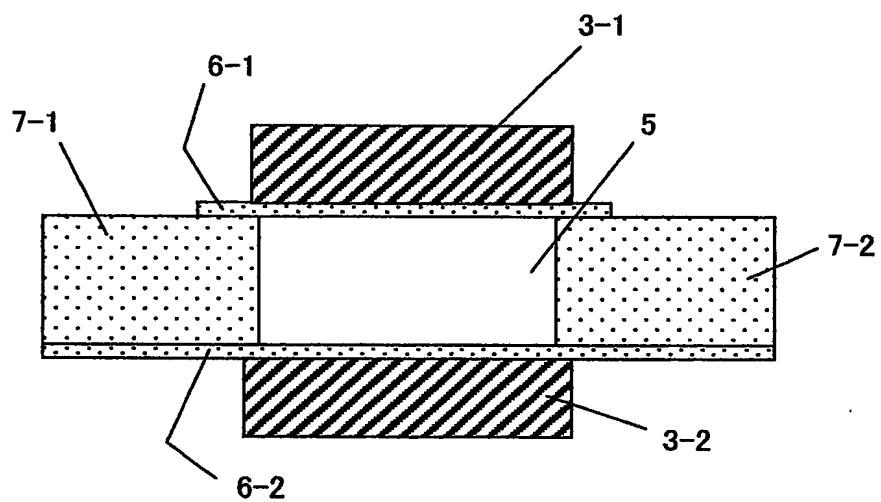


第28図(C)



19 / 19

第29図



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2004/018525
--

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/786, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
 Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-163356 A (International Business Machines Corp.), 06 June, 2003 (06.06.03), Full text; Figs. 1 to 31 & US 6492212 B1	1-15
Y	JP 10-256560 A (Sony Corp.), 25 September, 1998 (25.09.98), Full text; Figs. 1 to 9 (Family: none)	1-15
Y	JP 2000-340795 A (Sony Corp.), 08 December, 2000 (08.12.00), Full text; Figs. 1 to 9 (Family: none)	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
--	--

Date of the actual completion of the international search
22 February, 2005 (22.02.05)

Date of mailing of the international search report
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2004/018525**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-16255 A (International Business Machines Corp.), 18 January, 2002 (18.01.02), Full text; Figs. 1 to 49 & DE 10119411 A1	1-15
Y	JP 2-15675 A (Fujitsu Ltd.), 19 January, 1990 (19.01.90), Full text; Figs. 1 to 3 (Family: none)	6, 11, 15

A. 発明の属する分野の分類(国際特許分類(IPC))
Int. C1' H01L 29/786, H01L 21/336

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))
Int. C1' H01L 29/786, H01L 21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-163356 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2003. 06. 06, 全文, 第1-31図 &US 6492212 B1	1-15
Y	JP 10-256560 A (ソニー株式会社) 1998. 09. 25, 全文, 第1-9図 (ファミリーなし)	1-15
Y	JP 2000-340795 A (ソニー株式会社) 2000. 12. 08, 全文, 第1-9図 (ファミリーなし)	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 22. 02. 2005	国際調査報告の発送日 08. 3. 2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 宮崎 國子 電話番号 03-3581-1101 内線 3462 4M 3123

C(続き)	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	J P 2 0 0 2 - 1 6 2 5 5 A (インターナショナル・ビジネス ・マシーンズ・コーポレーション) 2 0 0 2 . 0 1 . 1 8 , 全文, 第1-49図 &DE 1 0 1 1 9 4 1 1 A 1	1-15
Y	J P 2 - 1 5 6 7 5 A (富士通株式会社) 1 9 9 0 . 0 1 . 1 9 , 全文, 第1-3図 (ファミリーなし)	6, 11, 15

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.